

ARM Cortex™-M0

32-BIT MICROCONTROLLER

NuMicro™ Family Mini51 系列规格书

The information described in this document is the exclusive intellectual property of Nuvoton Technology Corporation and shall not be reproduced without permission from Nuvoton.

Nuvoton is providing this document only for reference purposes of NuMicro microcontroller based system design. Nuvoton assumes no responsibility for errors or omissions.

All data and specifications are subject to change without notice.

For additional information or questions, please contact: Nuvoton Technology Corporation.

www.nuvoton.com

目录

1	概述	7
2	特性	8
3	产品型号和引脚配置	11
3.1	NuMicro Mini51™系列选型表	11
3.2	引脚配置	12
3.2.1	LQFP 48-pin	12
3.2.2	QFN 33-pin	13
3.3	引脚描述	14
4	方块图	18
4.1	NuMicro Mini51™ 方块图	18
5	功能描述	19
5.1	内存组织	19
5.1.1	概述	19
5.1.2	系统内存映射	20
5.2	Nested Vectored Interrupt Controller (NVIC)	21
5.2.1	概述	21
5.2.2	特性	21
5.2.3	异常模型和系统中断映射	21
5.2.4	向量表	23
5.2.5	操作描述	24
5.3	系统管理	25
5.3.1	概述	25
5.3.2	系统复位	25
5.3.3	系统电源分布	25
5.3.4	内存映射表	27
5.4	时钟控制器	28
5.4.1	概述	28
5.4.2	Clock Generator	28
5.4.3	系统时钟 & SysTick 时钟	29
5.4.4	AHB 时钟源选择	30
5.4.5	外设时钟源选择	31
5.4.6	掉电(睡眠)模式下的时钟	33
5.4.7	频率除频输出	34
5.5	模拟比较器 (CMP)	35
5.5.1	概述	35
5.5.2	特性	35
5.6	模数转换器 (ADC)	36
5.6.1	概述	36

5.6.2	特性	36
5.7	FLASH内存控制器(FMC).....	37
5.7.1	概述	37
5.7.2	特性	37
5.8	通用 I/O	38
5.8.1	概述	38
5.8.2	特性	38
5.9	I ² C串行接口控制器(主/从).....	39
5.9.1	概述	39
5.9.2	特性	39
5.10	增强型 PWM 发生器	41
5.10.1	概述	41
5.10.2	特性	41
5.11	串行外设接口(SPI) 控制器	43
5.11.1	概述	43
5.11.2	特性	43
5.12	定时器控制器	44
5.12.1	概述	44
5.12.2	特性	44
5.13	UART 接口控制器	45
5.13.1	概述	45
5.13.2	特性	47
5.14	看门狗	48
5.14.1	概述	48
5.14.2	特性	49
6	ARM® CORTEX™-M0 CORE	50
6.1	Overview	50
6.2	特性	51
7	应用电路	52
8	电器特性	53
8.1	Absolute Maximum Ratings	53
8.2	DC 电器特性	54
8.3	AC 电器特性	58
8.3.1	External Input Clock	58
8.3.2	External 4~24 MHz XTAL Oscillator	58
8.3.3	Typical Crystal Application Circuits	58
8.3.4	External 32.768 KHz XTAL Oscillator	59
8.3.5	Internal 22.1184 MHz RC Oscillator	59
8.3.6	Internal 10 KHz RC Oscillator	60

8.4	模拟特性	61
8.4.1	Specification of Brown-Out Reset (BOD).....	61
8.4.2	Specification of Low Voltage Reset (LVR).....	61
8.4.3	Specification of Analog Comparator	61
8.4.4	Analog Comparator Reference Voltage (CRV).....	62
8.4.5	Specification of 10-bit ADC.....	62
8.4.6	Flash Memory Characteristics	63
9	PACKAGE DIMENSION	64
9.1	48-Pin LQFP	64
9.2	33-Pin QFN (4mm X 4mm)	65
9.3	33-Pin QFN (5mm X 5mm)	66
10	修订历史	67

List of Figures

表3.1-1 NuMicro Mini51™系列产品选型表	11
图3.2-1 NuMicro Mini51™系列 LQFP 48-pin 图	12
图3.2-2 NuMicro Mini51™ 系列 QFN 33-pin图	13
图 4.1-1 NuMicro Mini51™系列方块图	18
图5.3-1 NuMicro Mini51™系列电源分布图	26
图5.4-1时钟发生器方块图.....	28
图 5.4-2系统时钟方块图	29
图5.4-3 SysTick时钟控制方块图.....	29
图5.4-4 AHB 总线HCLK的时钟源	30
图5.4-5 外设时钟源选择(PCLK)	31
图5.4-6频率除频输出时钟源	34
图5.4-7时钟除频方块图	34
图 5.9-1总线时序	39
图 5.10-1应用电路图	42
图 5.14-1中断和复位信号时序	49
图 6.1-1功能方块图	50
图 8.3-1 Typical Crystal Application Circuit.....	59

List of Tables

表 3.3-1 NuMicro Mini51™系列引脚描述	17
表5.1-1片上各模块地址空间分配	20
表5.2-1异常模型	22
表5.2-2系统中断映射	23
表 5.2-3向量表格式	23
表5.3-1内存映射表	27
表5.4-1外设时钟源选择表	32
表 5.13-1 波特率设定表	45
表 5.13-2 UART 波特率设定表	45
表 5.14-1看门狗超时时间间隔选择	48

1 概述

NuMicro MINI51™ 系列是32位的微处理器，内嵌ARM® Cortex™-M0内核，可用于工业控制和需要高性能、低功耗的应用。Cortex™-M0是ARM最新的微处理器，有32位的性能，但是价格只相当于传统的8位单片机。

NuMicro MINI51™ 系列最快可以跑到24MHz. 因而可以支持很广范围的工业控制和需要高性能CPU 的场合. NuMicro MINI51™ 系列内嵌4K/8K/16K字节程序flash，数据flash大小可配置(与程序flash共享), 2K字节ISP flash，2K字节SRAM.

为了降低成本，减小空间，NuMicro MINI51™ 系列内嵌了很多外设，像：I/O口、定时器、UART、SPI、I2C、PWM、ADC、看门狗和低电压检测，这使NuMicro MINI51™ 系列可以用于更广泛的应用。

另外，NuMicro MINI51™ 系列还配备ISP (In-System Programming) 和 ICP (In-Circuit Programming) 功能，让用户可以升级固件而不必将芯片从板子上取下。

2 特性

- 内核
 - ◆ ARM® Cortex™-M0 核，最高跑到 24 MHz
 - ◆ 一个 24 比特系统定时器
 - ◆ 支持低功耗 Idle 模式
 - ◆ 一个单指令周期硬件乘法器
 - ◆ 支持 32 个外部中断的 NVIC，每个中断有 4 级优先级
 - ◆ 支持串行调试接口 (SWD)，有 2 个监视点 (watchpoints)/4 个断点 (breakpoints)
- 内嵌 LDO 可支持宽电压输入: 2.5 V to 5.5 V
- 内存
 - ◆ 4KB/8KB/16KB Flash 内存用来存放应用程序 (APROM)
 - ◆ 可配置的数据 flash (Data Flash)
 - ◆ 2KB 启动代码空间 (LDROM)
 - ◆ 内嵌 2KB SRAM (SRAM)
- 支持 In-System Programming (ISP) & In-Circuit Programming (ICP)
- 时钟控制
 - ◆ 系统时钟源可编程
 - 正在运行代码时可以切换时钟源
 - ◆ 4 ~ 24 MHz crystal oscillator (HXT)
 - ◆ 32.768K crystal oscillator (LXT)，可用于系统时钟和在掉电模式 (power down mode) 下唤醒 CPU (如果外设选择 32.768K 作为时钟源的话)
 - ◆ 22.1184 MHz 内部 oscillator (HIRC) (25°C, 5V, 1% 误差)
 - 在 -40°C to 85°C，利用外部 32.768K 晶振可以动态矫正到 22 MHz +/- 1%
 - ◆ 10 KHz 内部低功耗 oscillator (LIRC)，给看门狗和掉电模式下唤醒 CPU 提供时钟源 (如果外设选择 10K 作为时钟源的话)
- I/O 口
 - ◆ LQFP-48 封装，最多 30 个通用 (GPIO) 脚
 - ◆ 软件可以配置 I/O 口为以下模式
 - 准双向输入/输出模式
 - 推挽输出
 - 开漏输出
 - 输入模式，带内部高阻
 - ◆ 可选择施密特触发输入模式

- 定时器
 - ◆ 两个24-bit 定时器，有8-bit预分频
 - 支持 事件计数功能
 - 支持toggle输出模式
 - 脉冲宽度测量模式下，支持外部触发
 - ◆ 脉冲宽度捕获模式下，支持外部触发
- 看门狗定时器
 - ◆ 时钟源和超时周期可选择
 - ◆ 掉电和idle模式下支持唤醒CPU功能
 - ◆ 当超时发生时，可以选择发生中断还是复位CPU
- PWM
 - ◆ 内嵌最多3个16位PWM发生器，提供6个独立的PWM输出或者3组互补的PWM输出
 - ◆ 支持边沿对齐和中心对齐
 - ◆ 支持故障侦测
 - ◆ 每个PWM发生器有单独的时钟源，时钟除频，8比特预分频和死区发生器
 - ◆ 每个PWM周期可以发生中断
- UART
 - ◆ 一组 UART
 - ◆ 两个16字节的接收和发送缓冲区
 - ◆ 流控功能(CTS_n 和 RTS_n)
 - ◆ 支持 IrDA (SIR) 功能
 - ◆ 波特率可编程，最快可达 1/16 系统时钟
 - ◆ 支持 RS-485 功能
- SPI
 - ◆ 一组SPI
 - ◆ 主模式最高可达12 MHz, 从模式最高可达4 MHz
 - ◆ 支持SPI主/从模式
 - ◆ 全双工同步串行数据传输
 - ◆ 每笔传输比特长度可配置，范围 1到 32 比特
 - ◆ MSB 或者 LSB优先
 - ◆ 发送和 接收边沿独立，都可以上升沿也可以下降沿
 - ◆ 32比特长度下，支持字节suspend 功能

- I²C
 - ◆ 支持主/从模式
 - ◆ 主和从之间双向数据传输
 - ◆ 支持多主总线 (无核心主设备)
 - ◆ 同时发起传输的主设备之间仲裁, 防止数据被破坏
 - ◆ 串行时钟同步, 允许同一个总线上的设备有不同的比特率
 - ◆ 串行时钟同步可以用做一个握手机制, 挂起或者重启串行传输
 - ◆ 时钟源可编程以方便波特率控制
 - ◆ 支持多地址识别(四个从地址, 有掩码功能)
- ADC
 - ◆ 10-bit SAR型 ADC, 速率 150K SPS
 - ◆ 最多8个single-end输入通道, 一个内部band-gap输入
 - ◆ 可由软件或者外部引脚触发一次转换
- Analog Comparator
 - ◆ 2组模拟比较器。支持可编程的16级内部参考电压
 - ◆ 内嵌比较器参考电压(CRV)
- BOD R复位
 - ◆ 3种检测电压选择: 3.8V/2.7V/2.0V (缺省 2.0V)
 - ◆ BOD中断还是复位可选择
- 96比特唯一序列号 (Unique ID)
- 工作温度:-40℃~85℃
- 封装:
 - ◆ Green package (RoHS)
 - ◆ LQFP 48-pin (7x7), QFN 33-pin (5x5), QFN 33-pin (4x4)

3 产品型号和引脚配置

3.1 NuMicro Mini51™系列选型表

Part number	APROM	RAM	Data Flash	ISP Loader ROM	I/O	Timer	Connectivity			Comp.	PWM	ADC	ISP ICP	IRC 22.1184 MHz	Package
							UART	SPI	I ² C						
MINI51LAN	4 KB	2 KB	Configurable	2 KB	up to 30	2x32-bit	1	1	1	2	6	8x10-bit	v	v	LQFP48
MINI51ZAN	4 KB	2 KB	Configurable	2 KB	up to 29	2x32-bit	1	1	1	2	6	8x10-bit	v	v	QFN33(5x5)
MINI51TAN	4 KB	2 KB	Configurable	2 KB	up to 29	2x32-bit	1	1	1	2	6	8x10-bit	v	v	QFN33(4x4)
MINI52LAN	8 KB	2 KB	Configurable	2 KB	up to 30	2x32-bit	1	1	1	2	6	8x10-bit	v	v	LQFP48
MINI52ZAN	8 KB	2 KB	Configurable	2 KB	up to 29	2x32-bit	1	1	1	2	6	8x10-bit	v	v	QFN33(5x5)
MINI52TAN	8 KB	2 KB	Configurable	2 KB	up to 29	2x32-bit	1	1	1	2	6	8x10-bit	v	v	QFN33(4x4)
MINI54LAN	16 KB	2 KB	Configurable	2 KB	up to 30	2x32-bit	1	1	1	2	6	8x10-bit	v	v	LQFP48
MINI54ZAN	16 KB	2 KB	Configurable	2 KB	up to 29	2x32-bit	1	1	1	2	6	8x10-bit	v	v	QFN33(5x5)
MINI54TAN	16 KB	2 KB	Configurable	2 KB	up to 29	2x32-bit	1	1	1	2	6	8x10-bit	v	v	QFN33(4x4)

表 3.1-1 NuMicro Mini51™系列产品选型表

3.2 引脚配置

3.2.1 LQFP 48-pin

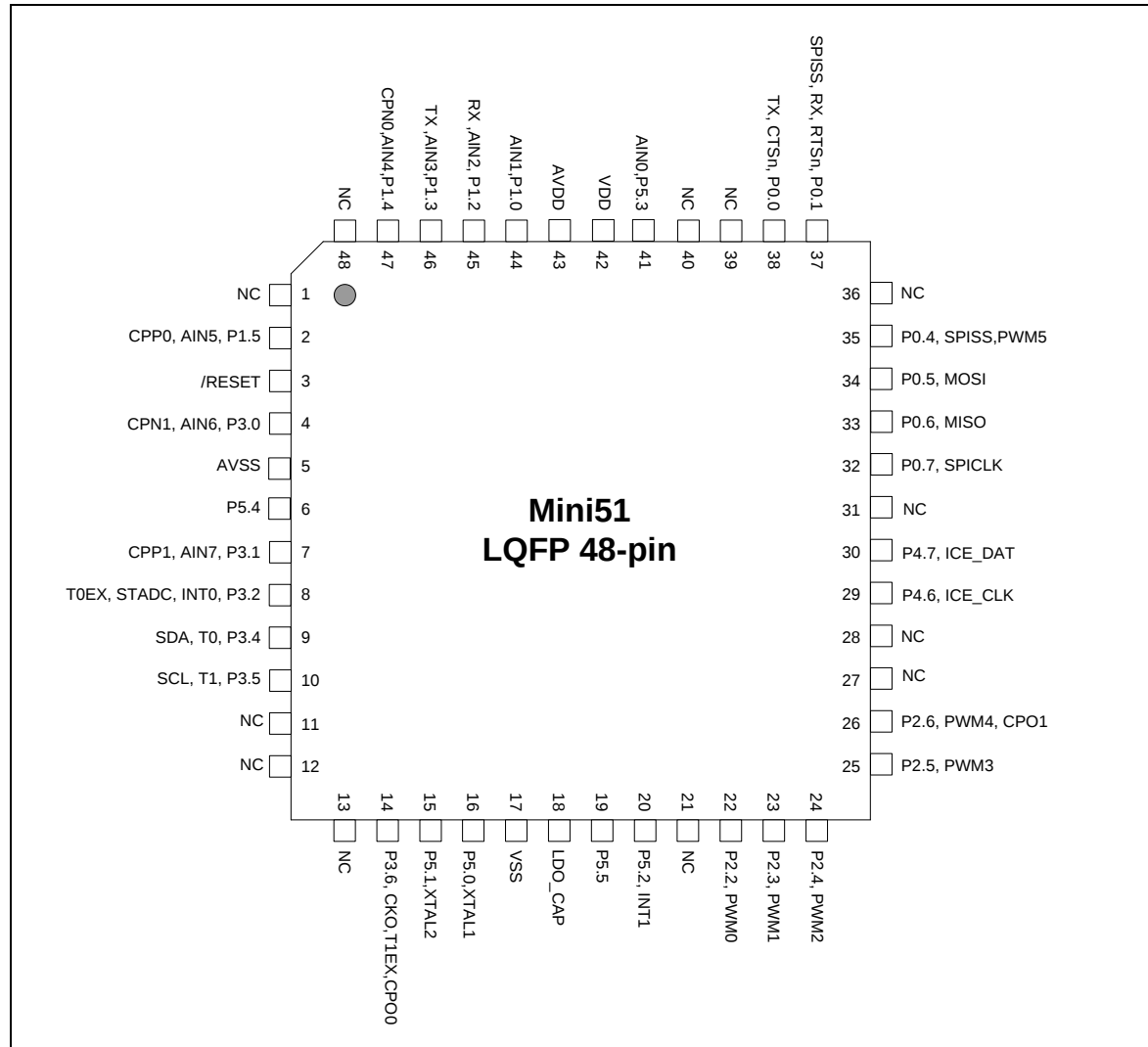


图 3.2-1 NuMicro Mini51™系列 LQFP 48-pin 图

3.2.2 QFN 33-pin

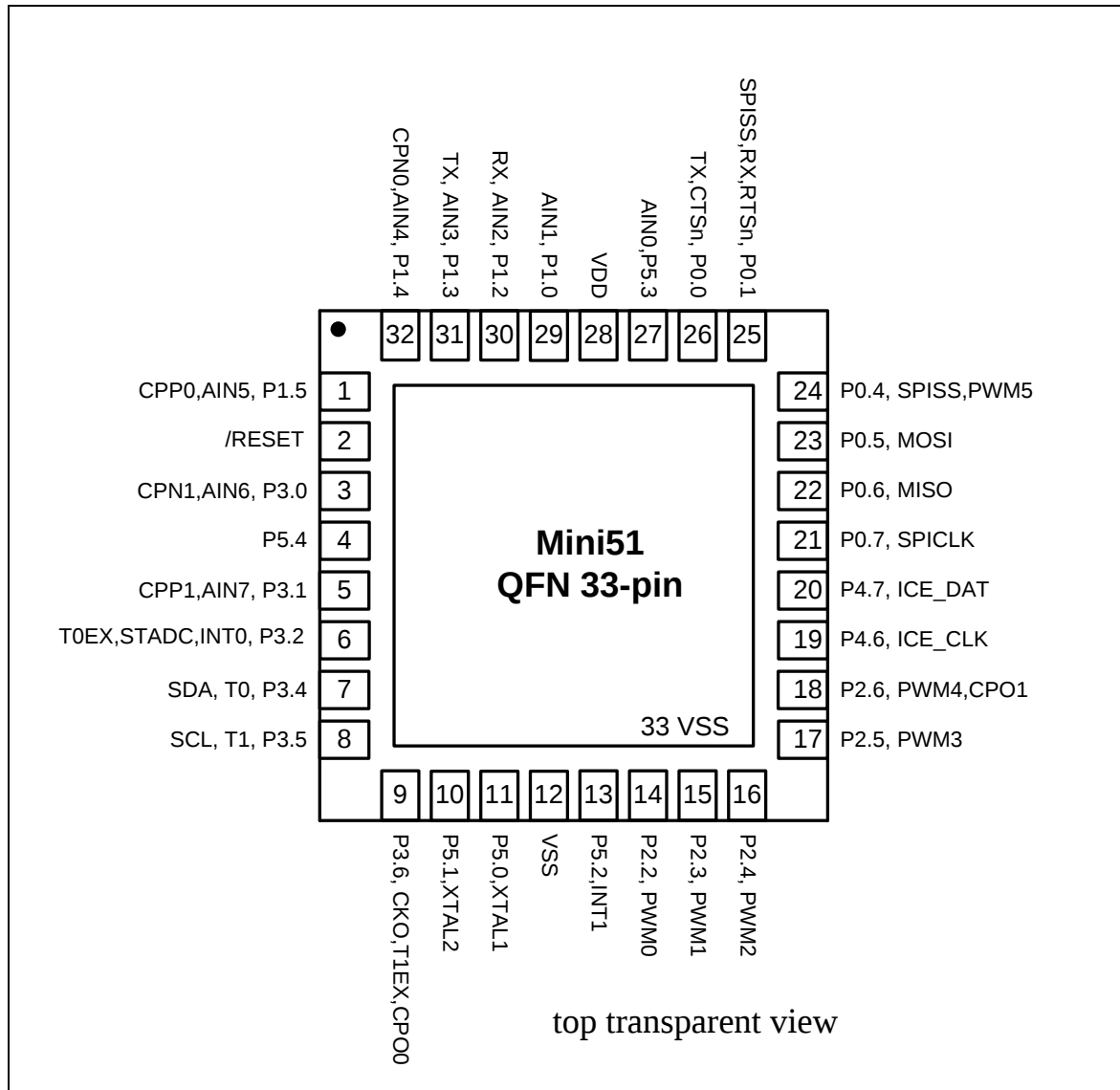


图 3.2-2 NuMicro Mini51™ 系列 QFN 33-pin 图

3.3 引脚描述

Pin Number		Pin Name	Pin Type	描述
LQFP 48	QFN 33			
1		NC		Not connected pin
2	1	P1.5	I/O	General purpose input/output digital pin
		AIN5	AI	ADC analog input pin
		CPP0	AI	Analog comparator Positive input pin
3	2	/RESET	I(ST)	This pin is a Schmitt trigger input pin for hardware device reset. A “Low” on this pin for 768 clock counter of Internal RC 22.1184 MHz while the system clock is running will reset the device. /RESET pin has an internal pull-up resistor allowing power-on reset by simply connecting an external capacitor to GND.
4	3	P3.0	I/O	General purpose input/output digital pin
		AIN6	AI	ADC analog input pin
		CPN1	AI	Analog comparator negative input pin
5		AVSS	AP	Ground pin for analog circuit
6	4	P5.4	I/O	General purpose input/output digital pin
7	5	P3.1	I/O	General purpose input/output digital pin
		AIN7	AI	ADC analog input pin
		CPP1	AI	Analog comparator positive input pin
8	6	P3.2	I/O	General purpose input/output digital pin
		INT0	I	External interrupt 0 input pin
		STADC	I	ADC external trigger input pin
		T0EX	I	Timer 0 external capture/reset trigger input pin
9	7	P3.4	I/O	General purpose input/output digital pin
		T0	I/O	Timer 0 external event counter input pin
		SDA	I/O	I ² C data input/output pin
10	8	P3.5	I/O	General purpose input/output digital pin
		T1	I/O	Timer 1 external event counter input pin
		SCL	I/O	I ² C clock input/output pin
11		NC		Not connected pin
12		NC		Not connected pin

Pin Number		Pin Name	Pin Type	描述
LQFP 48	QFN 33			
13		NC		Not connected pin
14	9	P3.6	I/O	General purpose input/output digital pin
		CPO0	O	Analog comparator output pin
		CKO	O	Frequency Divider output pin
		T1EX	I	Timer 1 external capture/reset trigger input pin
15	10	P5.1	I/O	General purpose input/output digital pin
		XTAL2	O	This is the output pin from the internal inverting amplifier. It emits the inverted signal of XTAL1.
16	11	P5.0	I/O	General purpose input/output digital pin
		XTAL1	I	This is the input pin to the internal inverting amplifier. The system clock could be from external crystal or resonator.
17	12	VSS	P	Ground pin for digital circuit
	33			
18		LDO_CAP	P	LDO output pin
19		P5.5	I/O	General purpose input/output digital pin User program must enable pull-up resistor in QFN33 package.
20	13	P5.2	I/O	General purpose input/output digital pin
		INT1	I	External interrupt 1 input pin
21		NC		Not connected pin
22	14	P2.2	I/O	General purpose input/output digital pin
		PWM0	O	PWM0 output of PWM unit
23	15	P2.3	I/O	General purpose input/output digital pin
		PWM1	O	PWM1 output of PWM unit
24	16	P2.4	I/O	General purpose input/output digital pin
		PWM2	O	PWM2 output of PWM unit
25	17	P2.5	I/O	General purpose input/output digital pin
		PWM3	O	PWM3 output of PWM unit
26	18	P2.6	I/O	General purpose input/output digital pin
		PWM4	O	PWM4 output of PWM unit
		CPO1	O	Analog comparator output pin

Pin Number		Pin Name	Pin Type	描述
LQFP 48	QFN 33			
27		NC		Not connected pin
28		NC		Not connected pin
29	19	P4.6	I/O	General purpose input/output digital pin
		ICE_CLK	I	Serial wired debugger clock pin
30	20	P4.7	I/O	General purpose input/output digital pin
		ICE_DAT	I/O	Serial wired debugger data pin
31		NC		Not connected pin
32	21	P0.7	I/O	General purpose input/output digital pin
		SPICLK	I/O	SPI serial clock pin
33	22	P0.6	I/O	General purpose input/output digital pin
		MISO	I/O	SPI MISO (master in/slave out) pin
34	23	P0.5	I/O	General purpose input/output digital pin
		MOSI	O	SPI MOSI (master out/slave in) pin
35	24	P0.4	I/O	General purpose input/output digital pin
		SPISS	I/O	SPI slave select pin
		PWM5	O	PWM5 output of PWM unit
36		NC		Not connected pin
37	25	P0.1	I/O	General purpose input/output digital pin
		RTSn	O	UART RTS pin
		RX	I	UART data receiver input pin
		SPISS	I/O	SPI slave select pin
38	26	P0.0	I/O	General purpose input/output digital pin
		CTSn	I	UART CTS pin
		TX	O	UART transmitter output pin
39		NC		Not connected pin
40		NC		Not connected pin
41	27	P5.3	I/O	General purpose input/output digital pin
		AIN0	AI	ADC analog input pin
42	28	VDD	P	Power supply for digital circuit

Pin Number		Pin Name	Pin Type	描述
LQFP 48	QFN 33			
43		AVDD	P	Power supply for analog circuit
44	29	P1.0	I/O	General purpose input/output digital pin
		AIN1	AI	ADC analog input pin
45	30	P1.2	I/O	General purpose input/output digital pin
		AIN2	AI	ADC analog input pin
		RX	I	UART data receiver input pin
46	31	P1.3	I/O	General purpose input/output digital pin
		AIN3	AI	ADC analog input pin
		TX	O	UART transmitter output pin
47	32	P1.4	I/O	General purpose input/output digital pin
		AIN4	I/O	PWM5: PWM output/Capture input
		CPN0	AI	Analog comparator negative input pin
48		NC		Not connected pin

表 3.3-1 NuMicro Mini51™系列引脚描述

[1] I/O 类型描述. I: 输入, O: 输出, I/O: 准双向, D: 开漏, P: 电源引脚, ST: Schmitt trigger, A: 模拟输入.

4 方块图

4.1 NuMicro Mini51™ 方块图

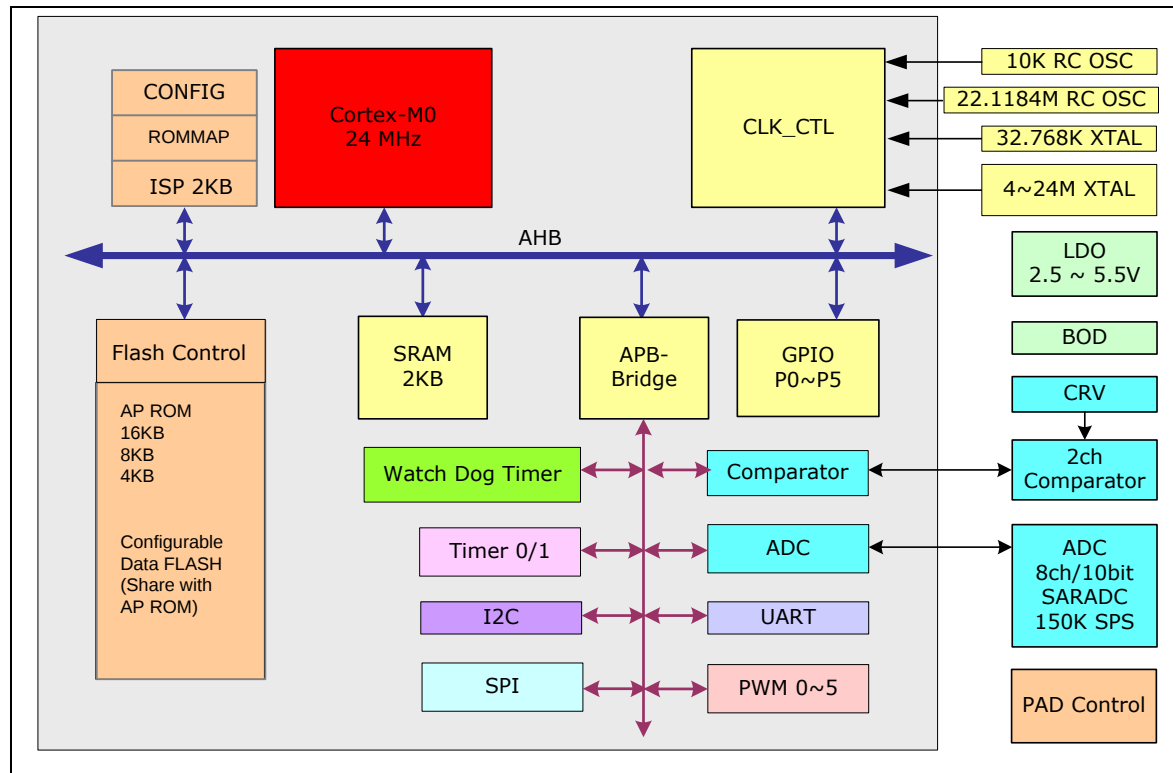


图 4.1-1 NuMicro Mini51™系列方块图

5 功能描述

5.1 内存组织

5.1.1 概述

NuMicro MINI51™ 系列有4G字节的地址空间. 芯片上每个模块在内存的位置如**錯誤! 找不到參照來源。**所示. 详细的寄存器描述、地址以及编程将在下面每个模块的章节单独叙述. NuMicro MINI51™ 系列只支持小端数据格式..

5.1.2 系统内存映射

芯片上每个控制器的内存地址安排如下表所示。

地址空间	符号	控制器
Flash & SRAM内存空间		
0x0000_0000 – 0x0000_3FFF	FLASH_BA	FLASH内存空间(16KB)
0x2000_0000 – 0x2000_07FF	SRAM_BA	SRAM 内存空间 (2KB)
AHB控制器空间(0x5000_0000 – 0x501F_FFFF)		
0x5000_0000 – 0x5000_01FF	GCR_BA	系统管理控制寄存器
0x5000_0200 – 0x5000_02FF	CLK_BA	时钟控制寄存器
0x5000_0300 – 0x5000_03FF	INT_BA	中断复用控制寄存器
0x5000_4000 – 0x5000_7FFF	GP_BA	GPIO控制寄存器
0x5000_C000 – 0x5000_FFFF	FMC_BA	Flash 内存控制寄存器
APB1 控制器空间(0x4000_0000 – 0x401F_FFFF)		
0x4000_4000 – 0x4000_7FFF	WDT_BA	看门狗控制寄存器
0x4001_0000 – 0x4001_3FFF	TMR_BA	定时器0/定时器1 控制寄存器
0x4002_0000 – 0x4002_3FFF	I2C_BA	I ² C控制寄存器
0x4003_0000 – 0x4003_3FFF	SPI_BA	SPI控制寄存器
0x4004_0000 – 0x4004_3FFF	PWM_BA	PWM控制寄存器
0x4005_0000 – 0x4005_3FFF	UART_BA	UART控制寄存器
0x400D_0000 – 0x400D_3FFF	CMP_BA	模拟比较器控制寄存器
0x400E_0000 – 0x400E_3FFF	ADC_BA	模数转换 (ADC) 控制寄存器
系统控制(SCS)空间(0xE000_E000 – 0xE000_EFFF)		
0xE000_E010 – 0xE000_E0FF	SCS_BA	系统定时器(SysTick)控制寄存器
0xE000_E100 – 0xE000_ECFF	SCS_BA	Nested Vectored Interrupt Control Registers(外部中断控制寄存器)
0xE000_ED00 – 0xE000_ED8F	SCB_BA	系统控制寄存器

表 5.1-1 片上各模块地址空间分配

5.2 Nested Vectored Interrupt Controller (NVIC)

5.2.1 概述

Cortex™-M0 CPU 内核提供一个中断控制器作为异常模型的完整部分, 命名为“递归向量中断控制器 (NVIC)”。

5.2.2 特性

- 支持递归和向量中断
- 自动处理器状态保存和恢复
- 动态优先级改变
- 降低中断延迟, 并且延迟时间确定

NVIC 支持有4级优先级.所有异常都是在“Handler Mode”下被处理的.NVIC支持32个(IRQ[31:0]) 外部中断输入.所有中断和大多数系统异常可以配置优先级.当中断发生时,NVIC将比较新来的中断和正在处理的中断的优先级.如果新来的中断优先级比较高, 新来的中断将抢占正在处理的中断。

发生中断时,中断处理函数(ISR) 的起始地址将从内存中向量表取得.不需要由软件查看发生了何种中断再决定要跳去哪个地址. 拿到起始地址之后,NVIC将自动保存上下文, 包括这些寄存器“PC, PSR, LR, R0~R3, R12” 到堆栈. 中断处理函数结束之后, NVIC 将从堆栈自动恢复上下文, 然后继续正常运行. 因此它将花费更少并且确定的时间来处理中断请求。

NVIC 支持 “Tail Chaining” 的方式处理中断, 一个中断处理完毕不要恢复现场马上处理另一个, 这样可以降低中断等待时间, 使中断处理更加有效率. NVIC 也支持 “Late Arrival” 的中断处理方式.如果当前中断正在保存上下文还没有进入中断处理函数, 一个更高优先级的中断发生, NVIC将处理更高优先级的中断, 并且不用再保存一次上下文, 因而可以提高实时性。

更多细节, 请参考文档 “ARM® Cortex™-M0 Technical Reference Manual” 和 “ARM® v6-M Architecture Reference Manual”。

5.2.3 异常模型和系统中断映射

下表列出了NuMicro MINI51™ 系列支持的异常模型. 一些异常和所有中断可以设定4级优先级. “0”为最高优先级,”3”为最低优先级.所有用户可以设定的中断, 缺省的优先级是”0”. 注意优先级”0”的优先级, 在整个系统中是在“复位”, “NMI” 和 “Hard Fault”之后的第4级优先级。

Exception Name	异常号	优先级
Reset	1	-3
NMI	2	-2

Hard Fault	3	-1
预留	4 ~ 10	预留
SVCall	11	可配置
预留	12 ~ 13	预留
PendSV	14	可配置
SysTick	15	可配置
Interrupt (IRQ0 ~ IRQ31)	16 ~ 47	可配置

表 5.2-1 异常模型

Exception Number	IRQ Number (Bit in Interrupt Registers)	Exception Name	Source IP	中断描述	Power Down wake-up
1 ~ 15	-	-	-	System exceptions	-
16	0	BOD_OUT	Brownout	Brownout low voltage detected interrupt	Yes
17	1	WDT_INT	WDT	Watchdog Timer interrupt	Yes
18	2	EINT0	GPIO	External signal interrupt from P3.2 pin	Yes
19	3	EINT1	GPIO	External signal interrupt from P5.2 pin	Yes
20	4	GP0/1_INT	GPIO	External signal interrupt from GPIO group P0~P1	Yes
21	5	GP2/3/4_INT	GPIO	External signal interrupt from GPIO group P2~P4 except P3.2	Yes
22	6	PWM_INT	PWM	PWM interrupt	No
23	7	BRAKE_INT	PWM	PWM interrupt	No
24	8	TMR0_INT	TMR0	Timer 0 interrupt	Yes
25	9	TMR1_INT	TMR1	Timer 1 interrupt	Yes
26 ~ 27	10 ~ 11	-	-	-	
28	12	UART_INT	UART	UART interrupt	Yes
29	13	-	-	-	
30	14	SPI_INT	SPI	SPI interrupt	No
31	15	-	-	-	
32	16	GP5_INT	GPIO	External signal interrupt from GPIO group P5 except P5.2	Yes

Exception Number	IRQ Number (Bit in Interrupt Registers)	Exception Name	Source IP	中断描述	Power Down wake-up
33	17	HFIRC_TRIM_INT	HFIRC	HFIRC trim interrupt	No
34	18	I2C_INT	I ² C	I ² C interrupt	No
35 ~ 40	19 ~ 24	-	-	-	
41	25	ACMP_INT	ACMP	Analog Comparator 0 or 1 interrupt	Yes
42 ~ 43	26 ~ 27	-	-	-	
44	28	PWRWU_INT	CLKC	Clock controller interrupt for chip wake-up from power-down state	Yes
45	29	ADC_INT	ADC	ADC interrupt	No
46 ~ 47	30 ~ 31	-	-	-	

表 5.2-2 系统中断映射

5.2.4 向量表

收到中断信号时,处理器将自动从中断向量表取得中断处理函数的起始地址.对于ARMv6-M 来说,向量表的基地址固定在地址0x0000_0000的位置. 向量表包含复位时堆栈的初始值和所有异常处理函数的入口地址. 前一页的向量号定义了相应异常处理函数在向量表入口地址的顺序.

向量表字(Word) 偏移	描述
0x00	Initial Stack Pointer value
Exception Number × 0x04	Exception Entry Pointer using that Exception Number

表 5.2-3 向量表格式

5.2.5 操作描述

通过写中断Set-Enable 或者中断Clear-Enable 寄存器相应的比特域 ,NVIC可以使能和禁止中断. 寄存器使用写-1-使能和写-1-禁止的机制, 两个寄存器都可以读回当前相应中断的使能状态. 当中断被禁止时, 发起中断将导致中断变成待处理状态, 然而, 中断不会激活. 如果在中断禁止时中断是激活的, 它将保持激活, 直到复位或者异常返回. 清除使能位将阻止相应中断新的激活.

使用Set-Pending 寄存器和Clear-Pending 寄存器, NVIC中断可以是pended/un-pended状态. 这两个寄存器使用写-1-使能和写-1-清除机制, 两个寄存器都可以读回相应中断的当前pended状态. 激活的中断, 写Clear-Pending 寄存器无效.

通过设定32比特寄存器(每个寄存器支持4个中断)中的8个比特可以设定一个NVIC 中断的优先级.

所有的NVIC寄存器都在系统控制空间(SCS)可以访问到, 细节在下一节描述.

5.3 系统管理

5.3.1 概述

系统管理章节包含下面的内容

- 系统内存映射
- 系统定时器 (SysTick)
- Nested Vectored Interrupt 控制器 (NVIC)
- PID系统管理寄存器
- 芯片及模块复位和多功能引脚配置系统管理寄存器
- Brownout 和芯片其它控制寄存器
- 外设中断源标识

5.3.2 系统复位

系统复位包含下面的事件.从寄存器**RSTSRC** 可以读到这些事件标志.

- 上电复位 (POR)
- /RESET脚上低电平复位
- 看门狗超时复位 (WDT)
- Brownout-Detected 复位(BOD)
- Cortex™-M0 CPU 复位
- 系统复位

5.3.3 系统电源分布

此系列芯片电源分布分3块.

- 模拟电源: AVDD 和 AVSS, 负责给模拟部分供电
- 数字电源: VDD 和 VSS, 通过内部稳压器固定到1.8V, 负责给数字和I/O引脚部分供电
- 内嵌电容, 用于内部电压稳压

内部电压稳压的输入, 就是LDO_CAP, 需要外接一个尽量靠近相应引脚的电容. 图5.3-1 显示了芯片的电源架构.

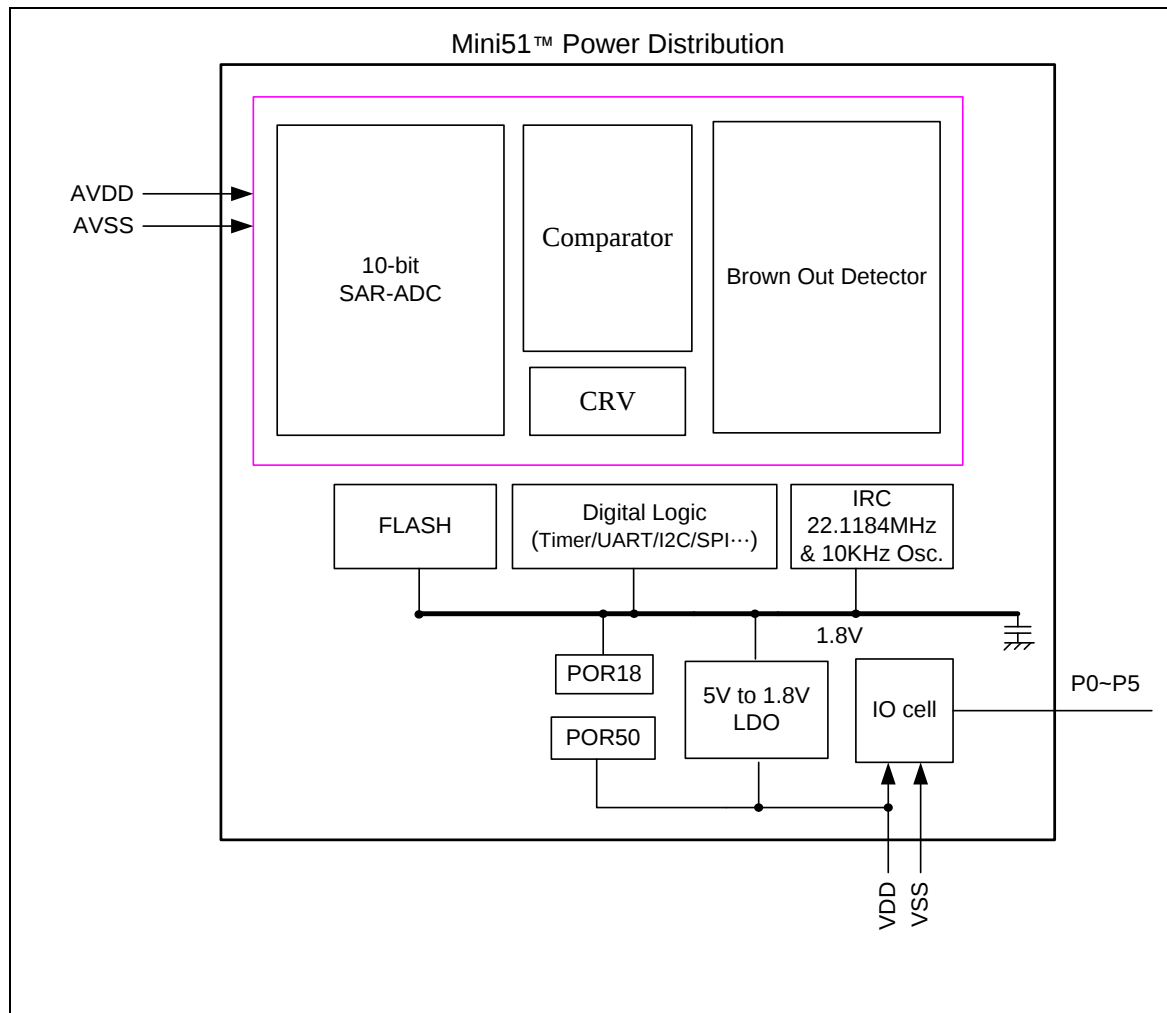


图 5.3-1 NuMicro Mini51™系列电源分布图

5.3.4 内存映射表

Mini51/52/54			System Control		
4 GB	Reserved	0xFFFF_FFFF 0xE000_F000	System Control	0xE000_ED00	SCS_BA
	System Control	0xE000_EFFF 0xE000_E000	External Interrupt Control	0xE000_E100	SCS_BA
	Reserved	0xE000_E00F 0x6002_0000	System Timer Control	0xE000_E010	SCS_BA
	Reserved	0x6001_FFFF 0x6000_0000			
	Reserved	0x5FFF_FFFF 0x5020_0000			
	AHB	0x501F_FFFF 0x5000_0000			
	Reserved	0x4FFF_FFFF 0x4020_0000			
	APB	0x401F_FFFF 0x4000_0000			
	Reserved	0x3FFF_FFFF 0x2000_0800			
	2 KB SRAM	0x2000_07FF 0x2000_0000			
0.5 GB	Reserved	0x1FFF_FFFF 0x0000_4000			
	16 KB on-chip Flash (Mini54)	0x0000_3FFF			
	8 KB on-chip Flash (Mini52)	0x0000_1FFF			
	4 KB on-chip Flash (Mini51)	0x0000_0FFF			
		0x0000_0000			
			AHB peripherals		
			FMC	0x5000_C000	FMC_BA
			GPIO Control	0x5000_4000	GP_BA
			Interrupt Multiplexer Control	0x5000_0300	INT_BA
			Clock Control	0x5000_0200	CLK_BA
			System Global Control	0x5000_0000	GCR_BA
			APB peripherals		
			ADC Control	0x400E_0000	ADC_BA
			ACMP Control	0x400D_0000	CMP_BA
			UART Control	0x4005_0000	UART_BA
			PWM Control	0x4004_0000	PWM_BA
			SPI Control	0x4003_0000	SPI_BA
			I2C Control	0x4002_0000	I2C_BA
			Timer0/Timer1 Control	0x4001_0000	TMR_BA
			WDT Control	0x4000_4000	WDT_BA

表 5.3-1 内存映射表

5.4 时钟控制器

5.4.1 概述

时钟控制器为整个芯片提供时钟源, 包括系统时钟和所有外设的时钟. 时钟控制器也实现电源控制功能: 独立的时钟开/关控制, 时钟源选择和一个4比特的时钟除频器. CPU 设定掉电使能位 (PWR_DOWN_EN) 和Cortex-M0执行WFI指令之后, 芯片将进入掉电模式. 之后, 芯片将等待唤醒中断触发离开掉电模式. 掉电模式下, 时钟控制器关闭外部晶振和内部22.1184 MHz RC振荡器来降低系统功耗.

5.4.2 Clock Generator

时钟发生器包括以下3个时钟源:

- 一个外部12 MHz (HXT) 或者32 KHz (LXT) crystal
- 一个内部22.1184 MHz RC oscillator (HIRC)
- 一个内部10 KHz oscillator (LIRC)

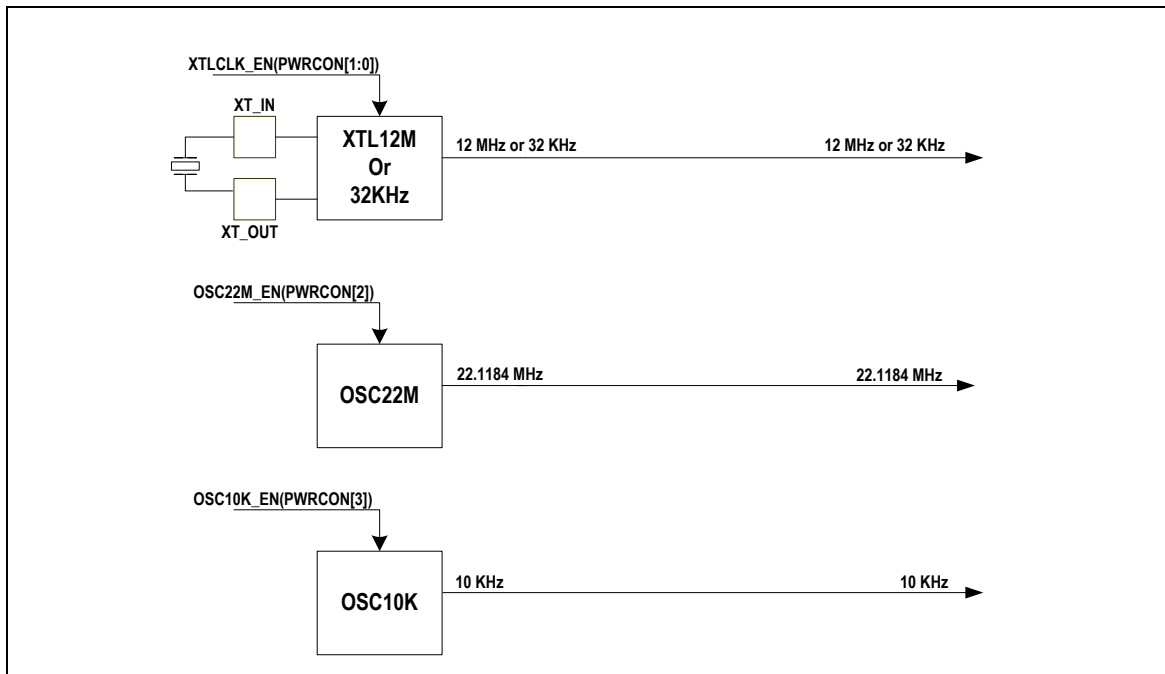


图 5.4-1 时钟发生器方块图

5.4.3 系统时钟& SysTick 时钟

系统时钟有3个时钟源来自时钟发生器. 时钟源切换依靠寄存器HCLK_S (CLKSEL0[2:0])的设置. 方块图如下.

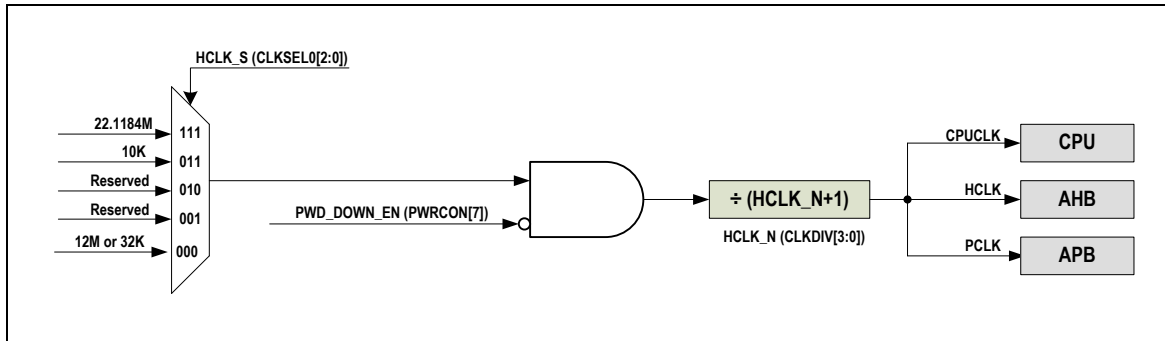


图 5.4-2 系统时钟方块图

Cortex-M0内核中的SysTick时钟源可以选择CPU时钟或者外部时钟 (SYST_CSR[2]). 如果使用外部时钟, SysTick时钟 (STCLK)有4 个时钟源. 时钟源切换依靠寄存器STCLK_S (CLKSEL0[5:3])的设置. 方块图如图5.4-3所示.

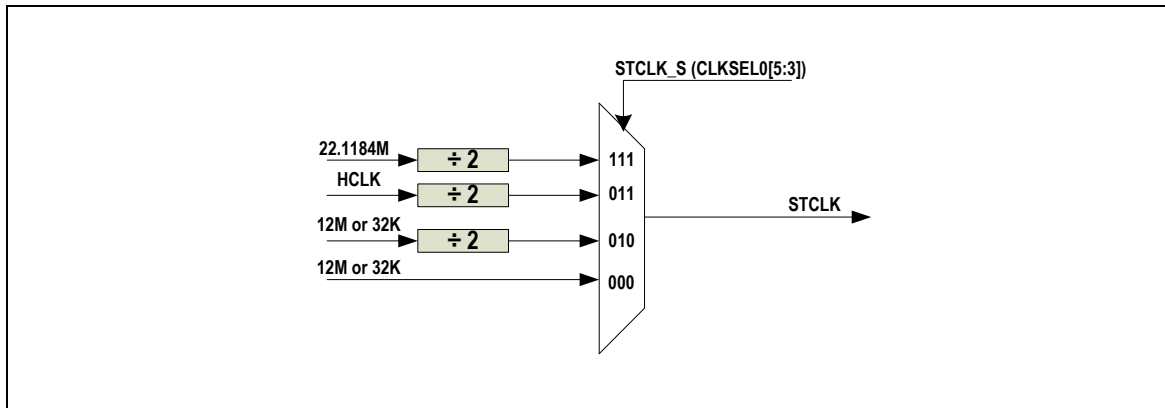


图 5.4-3 SysTick 时钟控制方块图

5.4.4 AHB 时钟源选择

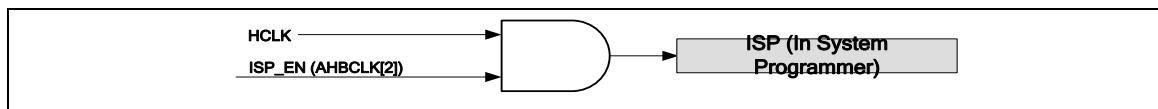


图 5.4-4 AHB 总线 HCLK 的时钟源

5.4.5 外设时钟源选择

不同的外设有不同的时钟源选择. 请参考錯誤! 找不到參照來源。章 CLKSEL1 & APBCLK 寄存器描述.

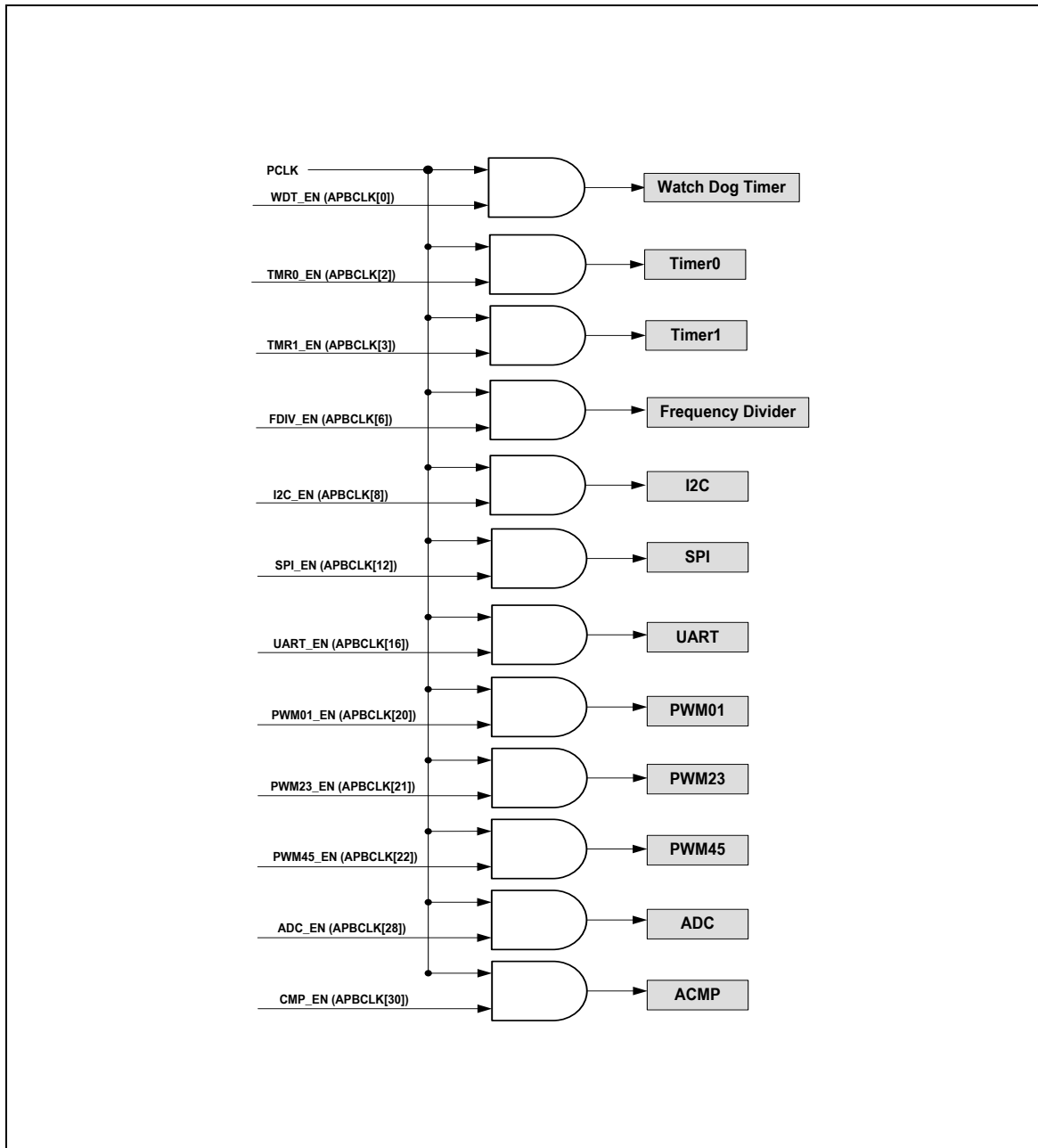


图 5.4-5 外设时钟源选择(PCLK)

	Ext. CLK (12M or 32K)	IRC22.1184M	IRC10K	PCLK
WDT	Yes	No	Yes	Yes
Timer0	Yes	Yes	Yes	Yes
Timer1	Yes	Yes	Yes	Yes
I ² C	No	No	No	Yes
SPI	No	No	No	Yes
UART	Yes	Yes	No	No
PWM	No	No	No	Yes
ADC	Yes	Yes	No	Yes
ACMP	No	No	No	Yes

表 5.4-1 外设时钟源选择表

5.4.6 掉电(睡眠)模式下的时钟

进入掉电模式时,一些时钟源、外设时钟和系统时钟将被关闭.也有一些时钟源和外设时钟将保持激活..

下列时钟将保持激活:

- 时钟发生器
 - ◆ 内部 10 KHz RC oscillator (LIRC) clock
 - ◆ 外部 32.768 KHz crystal oscillator (LXT) clock (If PD_32K = “1” and XTLCLK_EN[1:0] = “10b”)
- 外设时钟(当外设采用10 KHz 作为时钟源时)
 - ◆ 看门狗时钟
 - ◆ Timer 0/1时钟

5.4.7 频率除频输出

用户可以选择某个时钟源除频之后从P3.6 IO脚输出。这个功能由一个2的倍数频率除频器完成，除频器有16级，因而有16个输出频率选择： $F_{in}/2^1$ 到 $F_{in}/2^{17}$ ， F_{in} 是频率除频输出的时钟源。

输出公式 $F_{out} = F_{in}/2^{(N+1)}$ ， F_{in} 是频率除频输出的时钟源， F_{out} 是频率除频输出的时钟频率，N是4-bit FREQDIV.FSEL[3:0]的值。

当 FREQDIV.FDIV_EN[4] 设为高时，上升沿将复位链表计数器并开始计数。当 FREQDIV.FDIV_EN[4] 写0时，链表计数器继续计数直到除频时钟到低电平并维持低电平。

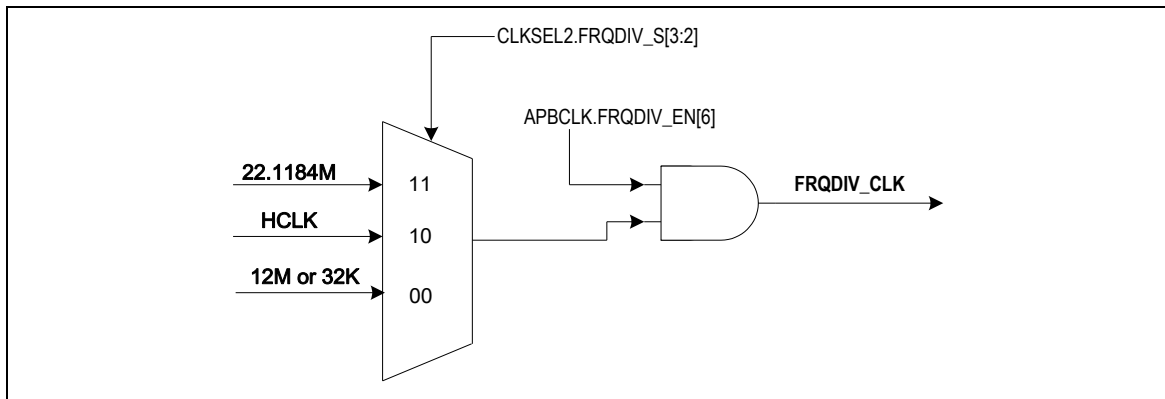


图 5.4-6 频率除频输出时钟源

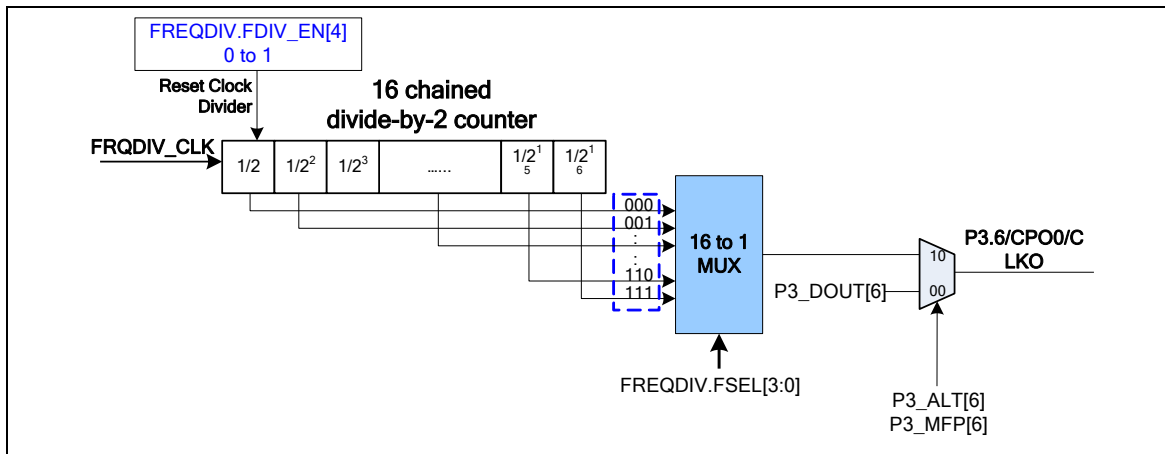


图 5.4-7 时钟除频方块图

5.5 模拟比较器 (CMP)

5.5.1 概述

NuMicro MINI51™ 系列包含两个比较器. 可以在某些不同的条件下使用. 当正输入大于负输入时比较器输出逻辑"1"; 否则输出"0". 当比较器输出值改变时, 每个比较器都可以配置发生中断. 方块图如錯誤! 找不到參照來源。所示.

注意: 在模拟比较功能使能之前, 模拟输入引脚必须被配置为输入模式.

5.5.2 特性

- 模拟输入电压范围: 0 ~ 5.0 V
- 支持迟滞功能
- 两个模拟比较器负端支持选择内部参考电压输入
- 任何比较器都可以请求比较器中断

5.6 模数转换器 (ADC)

5.6.1 概述

NuMicro MINI51™ 系列包含一个10 bit逐次逼近型模数转换器(SAR A/D 转换器),有8个输入通道. A/D 转换可以由软件或者外部STADC/P3.2 脚触发.

注意:在ADC功能使能前,模拟输入脚必须配置为输入模式.

5.6.2 特性

- 模拟输入电压范围: 0 ~ Vref (最大 5.0 V)
- 10比特分辨率,8比特精度
- 最多8个单端(single-end)模拟输入通道
- 最大 ADC 时钟频率是 6 MHz
- 最高转换率150K SPS
- A/D 转换每次在一个指定的通道转换一次
- A/D转换可以这样开始
 - ◆ 软件写“1”到ADST 比特
 - ◆ 外部 STADC引脚
- 转换结果放到数据寄存器,带有效位和溢出指示
- 转换结果可以和特定的值比较,当转换结果等于比较寄存器的设定时,用户可以选择是否产生中断
- 通道 7 支持 2 种输入源: 外部模拟电压输入和内部固定的带隙(band-gap)电压

5.7 FLASH 内存控制器(FMC)

5.7.1 概述

NuMicro MINI51™ 系列内嵌4K/8K/16K 字节片上FLASH EPROM,用作应用程序内存(APROM) ,可以通过ISP更新. 当芯片焊到PCB板子上以后,In System Programming (ISP) 功能使用户能更新应用程序内存. 芯片上电以后,Cortex-M0 CPU 从APROM还是LDROM取代码运行,取决于Config0中启动选项(CBS)的设置. 同时, NuMicro MINI51™ 系列也提供数据Flash区域, 数据Flash与原本的程序内存共享,开始地址可配置,由用户设置Config1来定义. 数据flash 的大小由用户根据需要来定义.

5.7.2 特性

- AHB接口兼容
- 最高跑到24 MHz,非连续地址读访问时零等待
- 4K/8K/16KB 应用程序内存 (APROM)
- 2KB in system programming (ISP) 程序装载内存(LDROM)
- 数据flash开始地址可编程,页擦除单位512字节
- n System Program (ISP) 可以更新片上Flash EPROM

5.8 通用 I/O

5.8.1 概述

NuMicro™ Mini51共有30个通用I/O引脚，和其他的某些特定功能复用。这30个脚分配在6个GPIO口中，分别命名为P0, P1, P2, P3, P4 和 P5. 30个引脚中的每一个都是独立的，有相应的寄存器比特控制引脚的工作模式。

每一个I/O引脚的类型是独立的，可以由软件配置成输入，输出，开漏，或者准双向模式。复位之后，所有I/O脚的缺省模式都是输入模式，数据输出寄存器Px_DOUT[n]复位成"1"。对于准双向模式，每个I/O引脚内部配备一个弱上拉电阻，阻值范围大概110KΩ~300KΩ(V_{DD} 从5.0V 到2.5V)。

5.8.2 特性

- 4种I/O模式:
 - ◆ 准双向
 - ◆ 推挽输出
 - ◆ 开漏
 - ◆ 高阻态输入模式
- TTL/施密特输入可选择
- 所有I/O 脚都可以配置为中断源，支持边沿/电平触发
- 支持高电流输入和高电流输出

5.9 I²C 串行接口控制器(主/从)

5.9.1 概述

I²C 是一个两线双向串行总线，为设备间数据交互提供简单和有效的方法。I²C 标准是一个多主总线，包含冲突检测和仲裁，两个或者多个主设备同时发送数据的时候，可以防止数据遭到破坏。串行，8-bit 双向数据传输，速度可达1.0 Mbps。

基于SCL上的时钟，数据在主设备和从设备之间一个字节一个字节的同步传输。每个字节8个比特长。每个比特有一个SCL时钟脉冲，MSB优先发送。每传输完一个字节将收到一个应答比特。每个比特在SCL的高电平被采样；因而，SDA 线只有在SCL处于低电平的时候才可以改变状态，在SCL为高电平的时候必须保持稳定。SCL为高电平时如果SDA上的状态改变将被解释为一个命令 (START或者 STOP)。I2C总线的时序细节请参考下面的图。

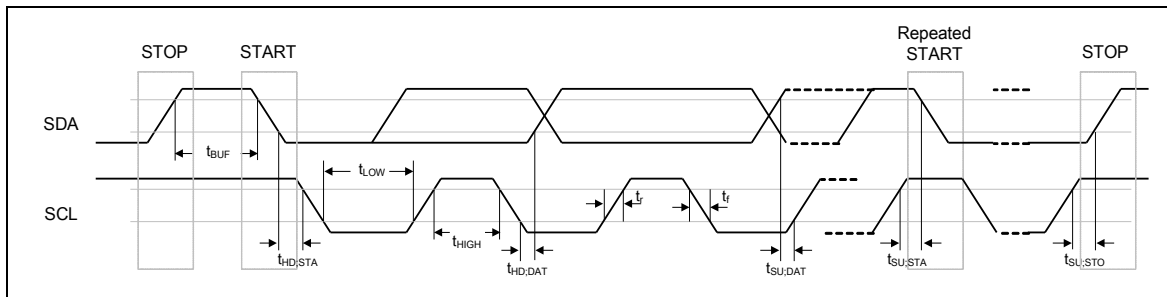


图 5.9-1 总线时序

芯片内的I2C逻辑提供串行接口，符合I2C总线的标准。片内的I²C由硬件实现，自动处理字节传输。为了使能I2C接口，I2CON寄存器的ENSI比特必须设成“1”。I2C硬件接口有两根引脚：SDA (P3.4, 串行数据线) 和SCL (P3.5, 串行时钟线)。当设为开漏模式时，引脚P3.4 和 P3.5需要上拉电阻。这两根I/O脚用作I2C时，需要先将其设定为I2C功能。

5.9.2 特性

I²C总线使用两根线(SDA 和 SCL) 在设备间传输数据。主要特性有：

- 支持主/从模式
- 主从设备之间双向数据传输
- 多主总线(无核心主设备)
- 多个主设备同时传输时仲裁，防止总线上的数据遭到破坏
- 串行时钟同步允许同一个总线上的设备有不同的速率
- 串行时钟同步可以用作一个握手信号挂起和重新启动传输
- 内嵌一个14-bit 超时计数器，如果I2C总线挂起，导致超时计数器溢出，超时中断将发生
- 更快的输出上拉速度需要加外部上拉电阻
- 时钟可编程，允许更丰富的波特率控制

- 支持 7-bit 寻址模式
- I²C总线控制器支持多地址识别(4个从地址，带掩码功能)

5.10 增强型 PWM 发生器

5.10.1 概述

NuMicro MINI51™ 系列内嵌一个PWM单元,特别设计用于驱动马达.PWM单元支持6个PWM发生器,可以配置成6个独立的PWM输出, PWM0~PWM5,或者3组互补的PWM对, (PWM0, PWM1), (PWM2, PWM3) 和 (PWM4, PWM5),死区时间可编程.

每组PWM发生器共享一个8-bit 预分频器,一个时钟除频器提供5个除频频率 (1, 1/2, 1/4, 1/8, 1/16). 每个 PWM 输出有独立的16比特计数器用于控制PWM的周期, 和一个16-bit 比较器用于控制PWM的占空比. 6个PWM发生器提供6个独立的PWM中断标志,当PWM计数周期匹配时, 中断标志由硬件置位. 每个PWM中断源有相应的使能位可以控制PWM中断的发生. PWM 发生器可以配置为one-shot 模式只产生一个PWM周期信号或者自动加载模式连续输出PWM波形.

5.10.2 特性

PWM 有下列特性:

- 6个独立的16比特PWM占空比控制单元,最多6个输出引脚:
 - ◆ 6个独立的PWM 输出: PWM0, PWM1, PWM2, PWM3, PWM4, 和 PWM5
 - ◆ 3组互补的PWM对,一对中的两个引脚输出的波形互补,插入的死区时间可以编程 (PWM0, PWM1), (PWM2, PWM3) 和 (PWM4, PWM5)
 - ◆ 3组同步PWM对,一对中的两个引脚相位同步: (PWM0, PWM1), (PWM2, PWM3) 和 (PWM4, PWM5)
- 组控制比特: PWM2和PWM4 与 PWM0同步
- One-shot (只有边沿对齐模式才支持)或者 Auto-reload PWM模式
- 最大16 比特解析度
- 支持边沿和中心对齐模式
- 互补的PWM对之间插入的死区时间可以编程
- PWM0 到 PWM5 的每个脚有独立的极性控制
- 硬件故障刹车保护
 - ◆ 2种中断源类型:
 - 当下数型计数器比较匹配 (边沿和中心对齐)或者下溢(边沿对齐) 时中断同步发生
 - 当外部故障刹车发生时, 中断发生
 - ◆ BKP0: EINT0
 - ◆ BKP1: EINT1 或者 CPO0
- 极性控制之前的PWM信号输出高电平.之后 PWM 口输出高或者低由极性控制寄存器控制.

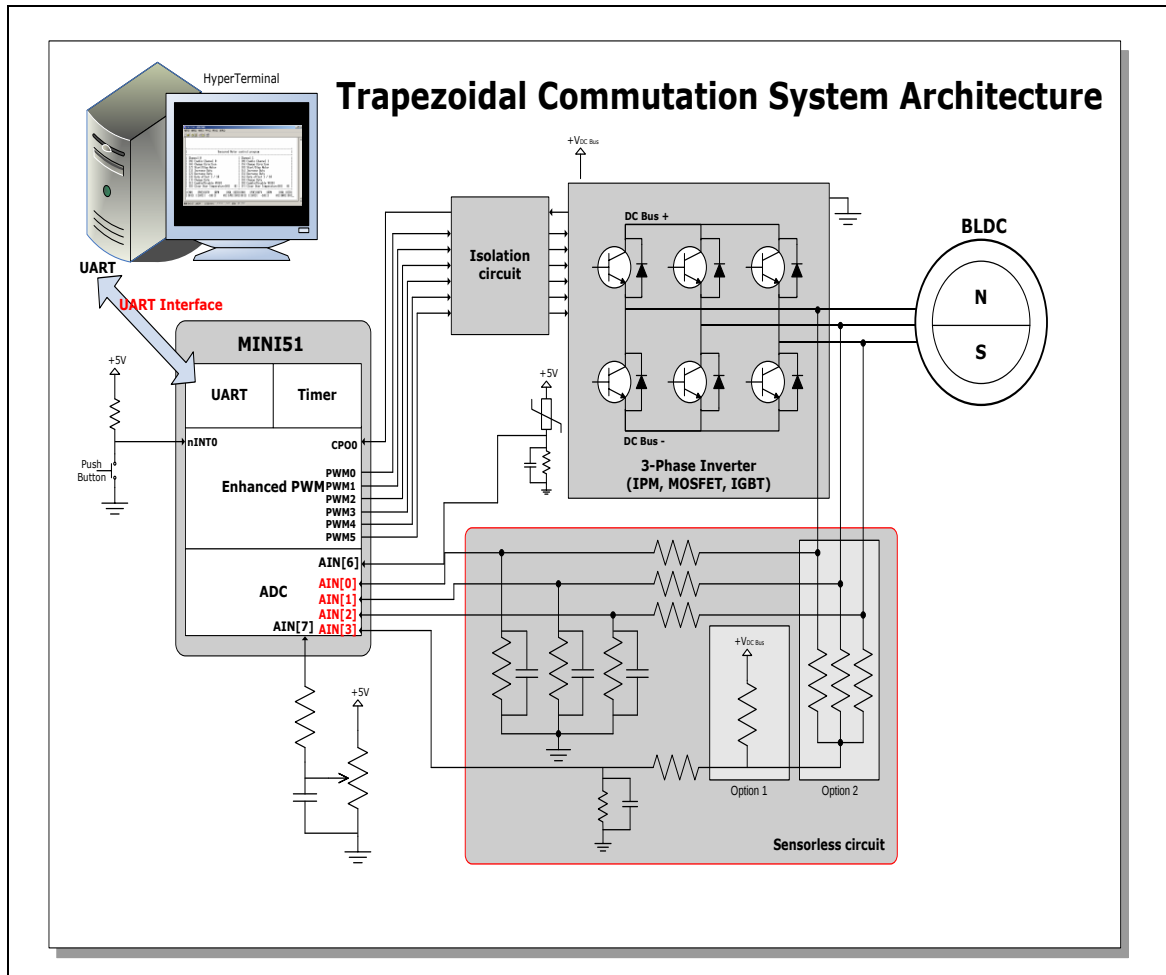


图 5.10-1 应用电路图

5.11 串行外设接口(SPI) 控制器

5.11.1 概述

串行外设接口(SPI) 是一个同步串行数据通讯协议,工作在全双工模式. 设备支持主/从模式通讯, 4线双向接口. NuMicro MINI51™ 系列包含一组SPI控制器,从外设收到数据时执行串到并的转换,发送数据到外设时执行并到串的转换.SPI控制器可以设为主模式也可以设为从模式,由接在SPI上的外设控制.

5.11.2 特性

- 支持主或者从模式
- MSB或者 LSB 优先发送
- 字节或者word 暂停(Suspend)模式
- 主模式时输出的串行时钟频率可变
- 主模式时支持输出两个可编程的串行时钟频率

5.12 定时器控制器

5.12.1 概述

定时器模块包含两个通道, TIMER0~TIMER1,用户可以很容易的实现定时器控制. 定时器可以实现频率测量,间隔测量,时钟产生,时间延迟等功能.超时发生时定时器可以产生中断或者计时过程中返回当前值.

5.12.2 特性

- 2组32比特定器, 有24比特上数定时器和一个8比特预分频计数器
- 两个通道时钟源独立 (TMR0_CLK, TMR1_CLK)
- 支持one-shot, 周期, toggle 和 连续计数操作模式
- 超时周期= (定时器输入时钟频率) * (8比特预分频+ 1) * (24-bit TCMP)
- 最大计数周期= $(1 / T \text{ MHz}) * (2^8) * (2^{24})$, T为时钟源周期
- 内部24比特上数计数值可以通过TDR (定时器数据寄存器)读到
- 支持数事件功能用来数外部输入引脚的事件个数
- 支持输入捕捉功能用来捕捉或者复位计数器的值

5.13 UART 接口控制器

NuMicro MINI51™ 系列提供一个通用异步收/发器(UART). 支持流控功能.

5.13.1 概述

通用异步收/发器(UART) 从外设收到数据时执行串到并的转换, 从CPU收到数据时执行并到串的转换. UART 控制器也支持IrDA SIR 功能, 和RS-485 功能. UART 通道支持6种中断类型包括: 发送缓冲FIFO 空中断 (INT_THRE), 接收极限值达到中断(INT_RDA), 线状态中断(校验错误,帧错误,break 中断) (INT_RLS), 接收缓冲超时中断(INT_TOUT), MODEM/唤醒状态中断(INT_MODEM), 和缓冲错误中断(INT_BUF_ERR). 中断号12 (vector number is 28). 系统中断映射请参考Nested Vectored 中断控制器一章.

UART 内嵌一个16字节的发送缓冲(TX_FIFO) 和一个16字节的接收缓冲(RX_FIFO) 可以降低CPU 的中断数,任何时候CPU都可以读UART的状态. 报告的状态信息包括: UART正在进行的发送的类型和条件, 也包含接收数据时可能发生的4个错误条件(校验错误, 帧错误, break 中断和缓冲错误). UART 包含一个可编程的波特率发生器,将输入时钟除频产生收发需要的时钟. 比特率公式为:波特率 = $UART_CLK / M * [BRD + 2]$, M 和 BRD 在波特率除频寄存器(UA_BAUD)中定义. 下表列出了各种条件下UART波特率公式.

表 5.13-1 波特率设定表

Mode	DIV_X_EN	DIV_X_ONE	Divider X	BRD	波特率公式
0	0	0	B	A	$UART_CLK / [16 * (A+2)]$
1	1	0	B	A	$UART_CLK / [(B+1) * (A+2)]$, B must ≥ 8
2	1	1	Don't care	A	$UART_CLK / (A+2)$, A must ≥ 3

表 5.13-2 UART 波特率设定表

System clock = 22.1184 MHz			
Baud rate	Mode0	Mode1	Mode2
921600	Not Support	A=0,B=11	A=22
460800	A=1	A=1,B=15 A=2,B=11	A=46
230400	A=4	A=4,B=15 A=6,B=11	A=94
115200	A=10	A=10,B=15 A=14,B=11	A=190
57600	A=22	A=22,B=15 A=30,B=11	A=382
38400	A=34	A=62,B=8 A=46,B=11	A=574

		A=34,B=15	
19200	A=70	A=126,B=8 A=94,B=11 A=70,B=15	A=1150
9600	A=142	A=254,B=8 A=190,B=11 A=142,B=15	A=2302
4800	A=286	A=510,B=8 A=382,B=11 A=286,B=15	A=4606

5.13.1.1 自动流控

UART控制器支持自动流控功能,使用两个低电平信号: CTSn (clear-to-send) 和 RTSn (request-to-send), 来控制UART和外设(ex: Modem)之间的数据流.当自动流控使能时,直到发送RTSn信号到外设之后,UART才允许接收外设发来的数据. 当RX缓冲中的字节数等于RTS_TRI_LEV(UA_FCR[19:16])的值时,RTSn信号将被取消.直到探测到外设发来CTS信号之后,UART才允许发送数据到外设.如果CTS信号消失,UART控制器将停止发送数据.

5.13.1.2 IrDA 模式

UART 控制器也支持串行 IrDA (SIR, Serial Infrared) 功能 (用户必须设置 IrDA_EN(UA_FUN_SEL[1:0]) 来使能IrDA功能). SIR 规格定义了一个短距离、红外、异步串行传输模式, 有一个起始位, 8个数据位, 和一个停止位.最大速率115.2 Kbps (半双工). IrDA SIR 包含一个IrDA SIR 协议编码/解码器. IrDA SIR 协议是半双工的. 所以不能同时收/发. IrDA SIR 物理层规定了收/发切换最小需要10ms的延迟时间. 延迟特性必须由软件实现.

5.13.1.3 RS-485 模式

UART另一个可选的功能是RS-485 9 比特模式, 方向由RTSn引脚控制.用户也可以软件编程GPIO(P0.1 for RTSn)来控制方向. RS-485 模式通过设定UA_FUN_SEL 寄存器来选择. RS-485 驱动器由RTSn脚来控制. RS-485 模式的许多收/发特性都与UART相同.

5.13.2 特性

- 全双工, 异步通讯
- 收/发独立的16字节缓冲
- 支持硬件自动流控功能(CTS_n, RTS_n) ,RTS_n 流控触发电平可编程
- 接收缓冲触发级别可编程
- 波特率可编程
- 支持CTS_n唤醒功能
- 支持 7比特接收缓冲超时功能
- 通过设定寄存器UA_TOR[DLY] ,上一个停止位到下一个起始位之间的发送数据延迟时间可编程
- 支持break 错误, 帧错误, 校验错误和收/发溢出检测功能
- 完全可编程的串行接口特性
 - ◆ 数据位可编程: 5-, 6-, 7-, 8个比特
 - ◆ 校验位可编程: 奇, 偶, 无校验或者校验位粘连产生和检测
 - ◆ 停止位可编程: 1, 1.5, 或者 2个停止位
- 支持IrDA SIR 功能
 - ◆ 支持 3/16 比特周期
- 支持 RS-485 功能
 - ◆ 支持 RS-485 9比特模式
 - ◆ 支持硬件或者软件方向控制(RTS_n 引脚)或则软件控制GPIO来控制传输方向

5.14 看门狗

5.14.1 概述

看门狗定时器的目的是为了在软件出问题之后实现系统复位。这可以阻止系统无限期挂起。而且，看门狗支持将CPU从掉电模式唤醒。看门狗定时器包含一个18比特计数器，超时间隔可编程。下表显示看门狗超时间隔的选择和中断以及复位信号的时序。

设置WTE (WTCR[7]) 使能看门狗定时器并且WDT开始计数。当计数器达到选择的超时间隔时，看门狗定时器中断标志WT将被设，如果中断使能位WTIE也被设WDT中断将发生。同时一个特定的延迟时间 ($1024 * T_{WDT}$) 将被延迟。用户必须设置WTR (WTCR[0]) (看门狗定时器复位) 为高，避免在延迟时间超时之前复位18比特的WDT计数器，避免CPU被看门狗定时器复位。有8个特定的超时间隔可以用看门狗定时器间隔选择比特WTIS(WTCR[10:8])来选则。如果在特定的延迟时间超时以后，WDT 计数器没有被清除，看门狗定时器将设置看门狗定时器复位标志(WTRF) 为高来复位CPU。复位将延迟63个WDT时钟(T_{RST})，然后CPU将从向量表(0x0000_0000)重新开始运行。WTRF比特不会被看门狗复位清除。用户软件可以轮询 WTRF来识别复位源。WDT 也支持唤醒功能。当芯片掉电时，看门狗定时器唤醒功能使能比特 (WTCR[4])被设，如果在特定的延迟时间超时以后，WDT 计数器没有被清除，芯片将被从掉电状态唤醒。

WTIS	WTR Timeout Interval T_{TIS}	Interrupt Period T_{INT}	WTR Timeout Interval (WDT_CLK = 10 KHz) T_{TIS}	WTR Reset Interval (WDT_CLK = 10 KHz) T_{WTR}
000	$2^4 * T_{WDT}$	$1024 * T_{WDT}$	1.6 ms	104 ms
001	$2^6 * T_{WDT}$	$1024 * T_{WDT}$	6.4 ms	108.8 ms
010	$2^8 * T_{WDT}$	$1024 * T_{WDT}$	25.6 ms	128 ms
011	$2^{10} * T_{WDT}$	$1024 * T_{WDT}$	102.4 ms	204.8 ms
100	$2^{12} * T_{WDT}$	$1024 * T_{WDT}$	407 ms	512 ms
101	$2^{14} * T_{WDT}$	$1024 * T_{WDT}$	1.638 s	1.741 s
110	$2^{16} * T_{WDT}$	$1024 * T_{WDT}$	6.553 s	6.6656 s
111	$2^{18} * T_{WDT}$	$1024 * T_{WDT}$	26.214 s	26.316 s

表 5.14-1 看门狗超时间隔选择

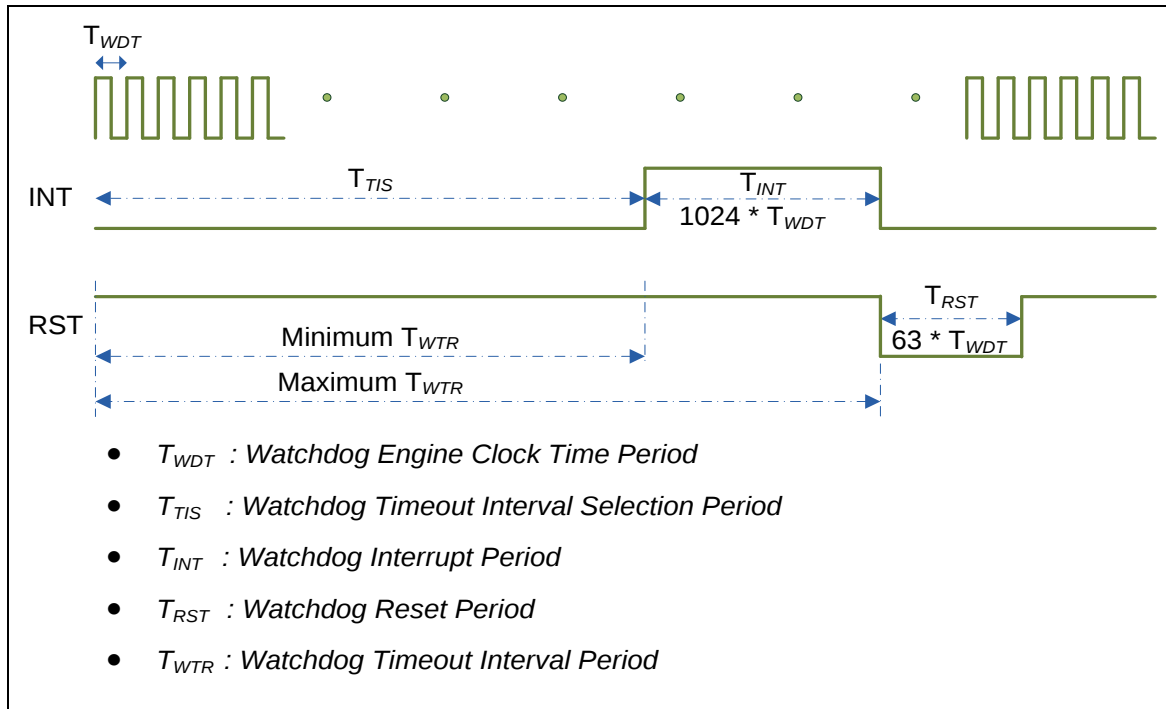


图 5.14-1 中断和复位信号时序

5.14.2 特性

- 在延迟时间超时之前,清除18比特计数器避免超时之前CPU被看门狗定时器复位.
- 超时间隔可选($2^4 \sim 2^{18}$),超时间隔为 104 ms ~ 26.3168 s (如果WDT_CLK = 10 KHz).
- 复位 周期= (1 / 10 KHz) * 63,如果 WDT_CLK = 10 KHz.

6 ARM® CORTEX™-M0 CORE

6.1 Overview

Cortex™-M0处理器是一个可配置、多级、32位RISC处理器.它有一个AMBA AHB-Lite接口和一个NVIC.还有一个可选择的硬件调试功能.这个处理器能执行Thumb指令, 并且和其它的Cortex-M处理器兼容。支持两种模式: Thread 和 Handler模式.发生异常时将进入Handler模式.异常返回只能在Handler模式下执行.系统复位时将进入Thread模式,异常返回时也可以进入Thread模式.图 6.1-1显示了处理器的功能控制。

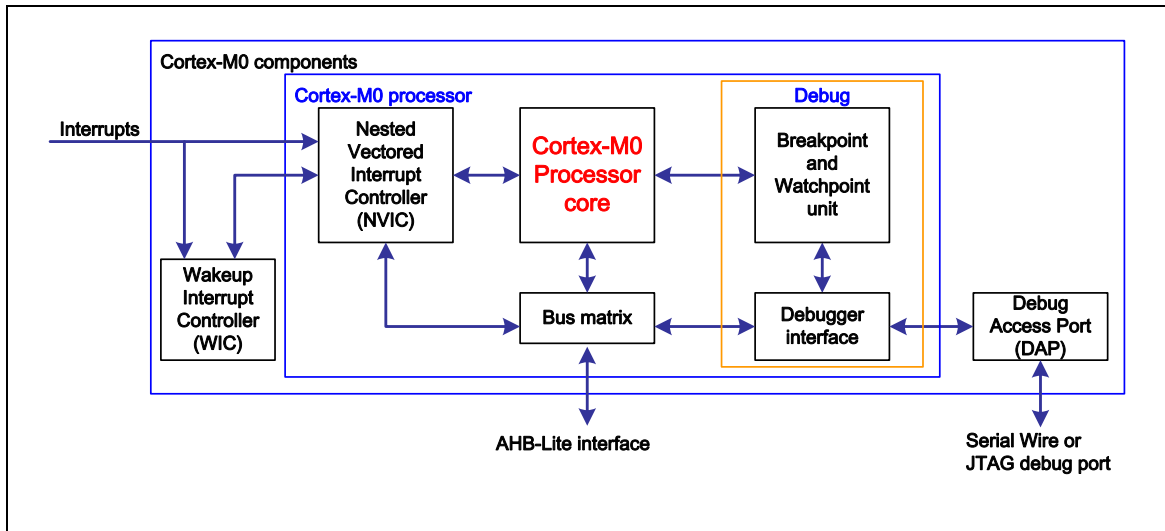
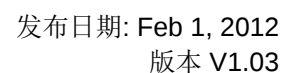


图 6.1-1 功能方块图

6.2 特性

- 低门数处理器，有下列特性：
 - ◆ The ARMv6-M Thumb®指令集
 - ◆ Thumb-2技术
 - ◆ 一个24-bit SysTick 定时器
 - ◆ 一个 32-bit硬件乘法器
 - ◆ 系统接口支持小端(little-endian)数据访问
 - ◆ 有确定性,固定延迟,中断处理的能力
 - ◆ Load/store-multiples 和 multi-cycle-multiplies指令能被中断并丢弃，便于快速的处理中断
 - ◆ C Application Binary Interface 兼容的异常模型
ARMv6-M, C Application Binary Interface (C-ABI) 兼容的异常模型，使中断处理函数可以纯粹是C代码，无需汇编
 - ◆ Wait For Interrupt (WFI), Wait For Event (WFE) 指令可以进入低功耗idle模式, 或者从中断sleep-on-exit 特性返回
- NVIC 有下列特性：
 - ◆ 32个外部中断输入，每个中断有4级优先级
 - ◆ 专用的不可屏蔽中断:non-Maskable Interrupt (NMI)
 - ◆ 支持电平和边沿中断触发模式
 - ◆ 唤醒中断控制器 (WIC), 提供超低功耗idle 模式支持
- 调试：
 - ◆ 4个硬件断点
 - ◆ 2个 watch points
 - ◆ Program Counter Sampling Register (PCSR) for non-intrusive code profiling
 - ◆ 单步和向量捕捉能力
- 总线接口：
 - ◆ 单个32-bit AMBA-3 AHB-Lite系统接口，提供系统外设和内存的简单整合
 - ◆ 单个 32-bit slave port，支持 DAP (Debug Access Port)



8 电器特性

8.1 Absolute Maximum Ratings

SYMBOL	PARAMETER	MIN	MAX	UNIT
DC Power Supply	VDD-VSS	-0.3	+7.0	V
Input Voltage	VIN	VSS-0.3	VDD+0.3	V
Oscillator Frequency	1/t _{CLCL}	4	24	MHz
Operating Temperature	TA	-40	+85	°C
Storage Temperature	TST	-55	+150	°C
Maximum Current into VDD		-	120	mA
Maximum Current out of VSS			120	mA
Maximum Current sunk by a I/O pin			35	mA
Maximum Current sourced by a I/O pin			35	mA
Maximum Current sunk by total I/O pins			100	mA
Maximum Current sourced by total I/O pins			100	mA

Note: Exposure to conditions beyond those listed under absolute maximum ratings may adversely affects the life and reliability of the device.

8.2 DC 电器特性

(VDD-VSS=5.0 V, TA = 25°C, FOSC = 24 MHz unless otherwise specified.)

PARAMETER	SYM.	SPECIFICATION				TEST CONDITIONS
		MIN.	TYP.	MAX.	UNIT	
Operation voltage	V _{DD}	2.5		5.5	V	V _{DD} = 2.5 V ~ 5.5 V up to 24 MHz
V _{DD} rise rate to ensure internal operation correctly	V _{RISE}	0.05			V/mS	
Power Ground	V _{SS} AV _{SS}	-0.3			V	
LDO Output Voltage	V _{LDO}	-10%	1.8	+10%	V	V _{DD} = 2.5V ~ 5.5V
Analog Operating Voltage	AV _{DD}	0		V _{DD}	V	
Operating Current Normal Run Mode @ 24 MHz	I _{DD1}		9.5		mA	V _{DD} = 5.5V@24 MHz, enable all IP
	I _{DD2}		7.5		mA	V _{DD} = 5.5V@24 MHz, disable all IP
	I _{DD3}		7.5		mA	V _{DD} = 3.3V@24 MHz, enable all IP
	I _{DD4}		6		mA	V _{DD} = 3.3V@24 MHz, disable all IP
Operating Current Normal Run Mode @ 12 MHz	I _{DD5}		5.5		mA	V _{DD} = 5.5V@12 MHz, enable all IP
	I _{DD6}		4.5		mA	V _{DD} = 5.5V@12 MHz, disable all IP
	I _{DD7}		4		mA	V _{DD} = 3.3V@12 MHz, enable all IP
	I _{DD8}		3		mA	V _{DD} = 3.3V@12 MHz, disable all IP
Operating Current Normal Run Mode @ 4 MHz	I _{DD9}		3.6		mA	V _{DD} = 5.5V@4 MHz, enable all IP
	I _{DD10}		3.3		mA	V _{DD} = 5.5V@4 MHz, disable all IP
	I _{DD11}		1.7		mA	V _{DD} = 3.3V@4 MHz, enable all IP
	I _{DD12}		1.4		mA	V _{DD} = 3.3V@4 MHz, disable all IP
Operating Current Normal Run Mode @ 22.1184 MHz IRC	I _{DD13}		6.6		mA	V _{DD} = 5.5V@22.1184 MHz, enable all IP
	I _{DD14}		5		mA	V _{DD} = 5.5V@22.1184 MHz, disable all IP
	I _{DD15}		6.6		mA	V _{DD} = 3.3V@22.1184 MHz, enable all IP

PARAMETER	SYM.	SPECIFICATION				TEST CONDITIONS
		MIN.	TYP.	MAX.	UNIT	
	I _{DD16}		5		mA	V _{DD} = 3.3V@22.1184 MHz, disable all IP
Operating Current Normal Run Mode @ 32.768 KHz crystal oscillator	I _{DD17}		116		μA	V _{DD} = 5.5V@32.768 KHz, enable all IP
	I _{DD18}		113		μA	V _{DD} = 5.5V@32.768 KHz, disable all IP
	I _{DD19}		112		μA	V _{DD} = 3.3V@32.768 KHz, enable all IP
	I _{DD20}		100		μA	V _{DD} = 3.3V@32.768 KHz, disable all IP
Operating Current Normal Run Mode @ 10 KHz IRC	I _{DD21}		109		μA	V _{DD} = 5.5V@10 KHz, enable all IP
	I _{DD22}		108		μA	V _{DD} = 5.5V@10 KHz, disable all IP
	I _{DD23}		100		μA	V _{DD} = 3.3V@10 KHz, enable all IP
	I _{DD24}		98		μA	V _{DD} = 3.3V@10 KHz, disable all IP
Operating Current Idle Mode @ 24 MHz	I _{IDLE1}		5.5		mA	V _{DD} = 5.5V@24 MHz, enable all IP
	I _{IDLE2}		3.5		mA	V _{DD} = 5.5V@24 MHz, disable all IP
	I _{IDLE3}		3.8		mA	V _{DD} = 3.3V@24 MHz, enable all IP
	I _{IDLE4}		1.8		mA	V _{DD} = 3.3V@24 MHz, disable all IP
Operating Current Idle Mode @ 12 MHz	I _{IDLE5}		3.3		mA	V _{DD} = 5.5V@12 MHz, enable all IP
	I _{IDLE6}		2.6		mA	V _{DD} = 5.5V@12 MHz, disable all IP
	I _{IDLE7}		2		mA	V _{DD} = 3.3V@12 MHz, enable all IP
	I _{IDLE8}		1		mA	V _{DD} = 3.3V@12 MHz, disable all IP
Operating Current Idle Mode @ 4 MHz	I _{IDLE9}		3		mA	V _{DD} = 5.5V@4 MHz, enable all IP
	I _{IDLE10}		2.3		mA	V _{DD} = 5.5V@4 MHz, disable all IP
	I _{IDLE11}		1		mA	V _{DD} = 3.3V@4 MHz, enable all IP
	I _{IDLE12}		0.7		mA	V _{DD} = 3.3V@4 MHz, disable all IP
Operating Current Idle Mode @ 22.1184 MHz IRC	I _{IDLE13}		3.0		mA	V _{DD} = 5.5V@22.1184 MHz, enable all IP
	I _{IDLE14}		1.2		mA	V _{DD} = 5.5V@22.1184 MHz, disable all IP

PARAMETER	SYM.	SPECIFICATION				TEST CONDITIONS
		MIN.	TYP.	MAX.	UNIT	
	I _{IDLE15}		3.0		mA	V _{DD} = 3.3V@22.1184 MHz, enable all IP
	I _{IDLE16}		1.2		mA	V _{DD} = 3.3V@22.1184 MHz, disable all IP
Operating Current Idle Mode @ 32.768 KHz crystal oscillator	I _{IDLE17}		110		μA	V _{DD} = 5.5V@32.768 KHz, enable all IP
	I _{IDLE18}		107		μA	V _{DD} = 5.5V@32.768 KHz, disable all IP
	I _{IDLE19}		105		μA	V _{DD} = 3.3V@32.768 KHz, enable all IP
	I _{IDLE20}		102		μA	V _{DD} = 3.3V@32.768 KHz, disable all IP
Operating Current Idle Mode @ 10 KHz IRC	I _{IDLE21}		103		μA	V _{DD} = 5.5V@10 KHz, enable all IP
	I _{IDLE22}		102		μA	V _{DD} = 5.5V@10 KHz, disable all IP
	I _{IDLE23}		96		μA	V _{DD} = 3.3V@10 KHz, enable all IP
	I _{IDLE24}		95		μA	V _{DD} = 3.3V@10 KHz, disable all IP
Standby Current Power Down Mode	I _{PWD1}		10		μA	V _{DD} = 5.0V, CPU STOP All IP and Clock OFF
	I _{PWD2}		5		μA	V _{DD} = 3.3V, CPU STOP All IP and Clock OFF
Standby Current Power Down Mode with 32.768 KHz crystal enable	I _{PWD3}		12		μA	V _{DD} = 5.0V, CPU STOP All IP and Clock OFF except 32.768KHz crystal oscillator
	I _{PWD4}		7		μA	V _{DD} = 3.3V, CPU STOP All IP and Clock OFF except 32.768KHz crystal oscillator
Input Current P0~P5 (Quasi- bidirectional mode)	I _{IN1}		-50	-60	μA	V _{DD} = 5.5 V, V _{IN} = 0 V or V _{IN} =V _{DD}
Input Current at /RESET ^[1]	I _{IN2}	-55	-45	-30	μA	V _{DD} = 3.3 V, V _{IN} = 0.45 V
Input Leakage Current PA, PB, PC, PD, PE	I _{LK}	-0.1	-	+0.1	μA	V _{DD} = 5.5 V, 0<V _{IN} <V _{DD}
Logic 1 to 0 Transition Current PA~PE (Quasi-bidirectional mode)	I _{TL} ^[3]	-650	-	-200	μA	V _{DD} = 5.5 V, V _{IN} <2.0 V

PARAMETER	SYM.	SPECIFICATION				TEST CONDITIONS
		MIN.	TYP.	MAX.	UNIT	
Input Low Voltage P0~P5 (TTL input)	V_{IL1}	-0.3	-	0.8	V	$V_{DD} = 4.5\text{ V}$
		-0.3	-	0.6		$V_{DD} = 2.5\text{ V}$
Input High Voltage P0~P5 (TTL input)	V_{IH1}	2.0	-	$V_{DD} + 0.2$	V	$V_{DD} = 5.5\text{ V}$
		1.5	-	$V_{DD} + 0.2$		$V_{DD} = 3.0\text{ V}$
Input Low Voltage P0~P5, (Schmitt input)	V_{IL2}		$0.4 V_{DD}$		V	
Input High Voltage P0~P5, (Schmitt input)	V_{IH2}		$0.6 V_{DD}$		V	
Hysteresis voltage of P0~P5 (Schmitt input)	V_{HY}		$0.2 V_{DD}$		V	
Input Low Voltage XT1 ^[*2]	V_{IL3}	0	-	0.8	V	$V_{DD} = 4.5\text{ V}$
		0	-	0.4		$V_{DD} = 3.0\text{ V}$
Input High Voltage XT1 ^[*2]	V_{IH3}	3.5	-	$V_{DD} + 0.2$	V	$V_{DD} = 5.5\text{ V}$
		2.4	-	$V_{DD} + 0.2$		$V_{DD} = 3.0\text{ V}$
Internal /RESET pin pull up resistor	R_{RST}	40	-	100	K Ω	
Negative going threshold (Schmitt input), /RESET	V_{ILS}	-0.5	-	$0.3 V_{DD}$	V	
Positive going threshold (Schmitt input), /RESET	V_{IHS}	$0.6 V_{DD}$	-	$V_{DD} + 0.5$	V	
Source Current P0~P5. (Quasi-bidirectional Mode)	I_{SR11}	-300	-370	-450	μA	$V_{DD} = 4.5\text{ V}, V_S = 2.4\text{ V}$
	I_{SR12}	-50	-70	-90	μA	$V_{DD} = 2.7\text{ V}, V_S = 2.2\text{ V}$
	I_{SR12}	-40	-60	-80	μA	$V_{DD} = 2.5\text{ V}, V_S = 2.0\text{ V}$
Source Current P0~P5, (Push-pull Mode)	I_{SR21}	-20	-24	-28	mA	$V_{DD} = 4.5\text{ V}, V_S = 2.4\text{ V}$
	I_{SR22}	-4	-6	-8	mA	$V_{DD} = 2.7\text{ V}, V_S = 2.2\text{ V}$
	I_{SR22}	-3	-5	-7	mA	$V_{DD} = 2.5\text{ V}, V_S = 2.0\text{ V}$
Sink Current P0~P5, (Quasi- bidirectional and Push-pull Mode)	I_{SK1}	10	16	20	mA	$V_{DD} = 4.5\text{ V}, V_S = 0.45\text{ V}$
	I_{SK1}	7	10	13	mA	$V_{DD} = 2.7\text{ V}, V_S = 0.45\text{ V}$
	I_{SK1}	6	9	12	mA	$V_{DD} = 2.5\text{ V}, V_S = 0.45\text{ V}$

Note:

1. /RESET pin is a Schmitt trigger input.
2. Crystal Input is a CMOS input.
3. Pins of P0~P5 can source a transition current when they are being externally driven from 1 to 0. In the condition of $V_{DD}=5.5\text{ V}$, the transition current reaches its maximum value when V_{IN} approximates to 2 V.

8.3 AC 电器特性

8.3.1 External Input Clock

PARAMETER	SYM.	SPECIFICATION				TEST CONDITIONS
		MIN.	TYP.	MAX.	UNIT	
PARAMETER	tCHCX	20			nS	
Clock High Time	tCLCX	20			nS	
Clock Low Time	tCLCH			10	nS	
Clock Rise Time	tCHCL			10	nS	

The diagram illustrates the timing parameters for an external input clock. It shows a square wave with various time intervals labeled: t_{CHCL} (clock high to low transition time), t_{CLCH} (clock low to high transition time), t_{CHCX} (clock high to low setup time), t_{CLCX} (clock low to high setup time), and t_{CLCL} (clock low to low setup time).

Note: Duty cycle is 50%.

8.3.2 External 4~24 MHz XTAL Oscillator

PARAMETER	SYM.	SPECIFICATION				TEST CONDITIONS
		MIN.	TYP.	MAX.	UNIT	
Oscillator frequency	f_{HXTAL}	4	12	24	MHz	$V_{DD} = 2.5\text{V} \sim 5.5\text{V}$
Temperature	T_{HXTAL}	-40		+85	°C	
Operating current	I_{HXTAL}		TBD		mA	$V_{DD} = 5.0\text{V}$

8.3.3 Typical Crystal Application Circuits

CRYSTAL	C1	C2
4 MHz ~ 24 MHz	Optional (Depend on crystal specification)	

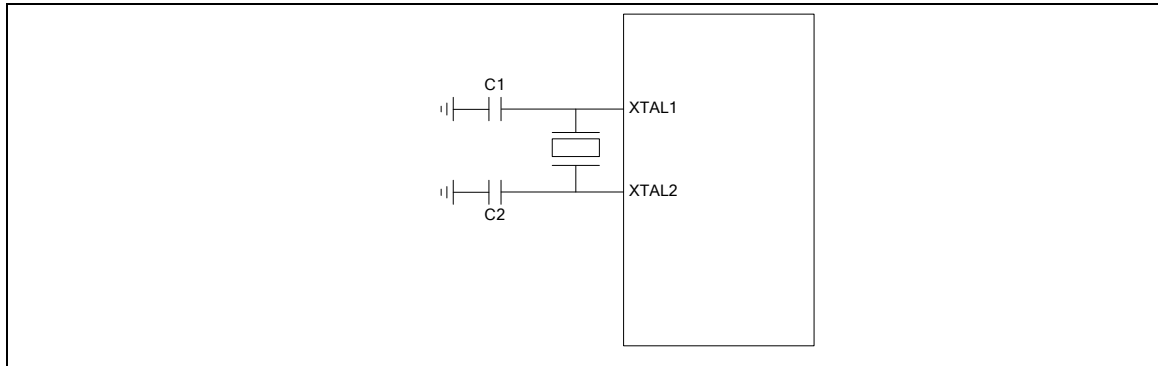


图 8.3-1 Typical Crystal Application Circuit

8.3.4 External 32.768 KHz XTAL Oscillator

PARAMETER	SYM.	SPECIFICATION				TEST CONDITIONS
		MIN.	TYP.	MAX.	UNIT	
Oscillator frequency	f _{LXTAL}		32.768		KHz	VDD = 2.5V ~ 5.5V
Temperature	T _{LXTAL}	-40		+85	°C	
Operating current	I _{HXTAL}		TBD		μA	VDD = 5.0V

8.3.5 Internal 22.1184 MHz RC Oscillator

PARAMETER	SYM.	SPECIFICATION				TEST CONDITIONS
		MIN.	TYP.	MAX.	UNIT	
Supply voltage ^[1]	V _{HRC}		1.8		V	
Center Frequency	F _{HRC}	21.89	22.1184	22.34	MHz	25°C, VDD = 5V
		20.57	22.1184	23.23	MHz	-40°C~+85°C, VDD = 2.5V~5.5V
		21.78	22.0	22.22	MHz	-40°C~+85°C, VDD = 2.5V~5.5V Enable 32.768K crystal oscillator and set TRIM_SEL = 1
Operating current	I _{HRC}		TBD		mA	

Note: Internal operation voltage comes from LDO

8.3.6 Internal 10 KHz RC Oscillator

PARAMETER	SYM.	SPECIFICATION				TEST CONDITIONS
		MIN.	TYP.	MAX.	UNIT	
Supply voltage ^[1]	V _{LRC}		1.8		V	
Center Frequency	F _{LRC}	7	10	13	KHz	25°C, VDD = 5V
		5	10	15	KHz	-40°C~+85°C, VDD = 2.5V~5.5V
Operating current	I _{LRC}		TBD		μA	VDD = 5V

Note: Internal operation voltage comes from LDO

8.4 模拟特性

8.4.1 Specification of Brown-Out Reset (BOD)

PARAMETER	SYM.	SPECIFICATION				TEST CONDITIONS
		MIN.	TYP.	MAX.	UNIT	
Operating voltage	V _{BOD}	2.0		5.5	V	
Operating current	I _{BOD}		5	15	μA	VDD = 5V Enable BOD27 and BOD38
BOD38 detection level	V _{B38dt}	3.6	3.8	4.0	V	25°C
BOD27 detection level	V _{B27dt}	2.6	2.7	2.8	V	25°C

8.4.2 Specification of Low Voltage Reset (LVR)

PARAMETER	SYM.	SPECIFICATION				TEST CONDITIONS
		MIN.	TYP.	MAX.	UNIT	
Operating voltage	V _{BOD}	2.0		5.5	V	
Operating current	I _{BOD}		1	2	μA	
Detection level	V _{LVR}		2.0		V	25°C
LVR always enable		1.6	2.0	2.4	V	-40°C ~ +85°C

8.4.3 Specification of Analog Comparator

PARAMETER	SYM.	SPECIFICATION				TEST CONDITIONS
		MIN.	TYP.	MAX.	UNIT	
Operating voltage	V _{BOD}	2.5	3.3	5.5	V	
Operating current	I _{CMP}		40	80	μA	
Input offset voltage	V _{OFFSET}		10	20	mV	
Output swing voltage	V _{swin}	0.1		V _{DD} -0.1	V	
Input common mode range (VCM)	V _{CM}	0.1		V _{DD} -0.1	V	
DC gain	G _{DC}		70		dB	
Propagation delay	T _{PDLY}		200		ns	VCM = 1.2V The difference voltage in CPPx and CPNx is 0.1V
Hysteresis	V _{HYS}		±10		mV	One bit control W/O & W. hysteresis @V _{CM} =0.2V ~ V _{DD} -0.1V

PARAMETER	SYM.	SPECIFICATION				TEST CONDITIONS
		MIN.	TYP.	MAX.	UNIT	
Stable time	T _{STBL}			2	μS	CPPx = 1.3V and CPNX = 1.2V

8.4.4 Analog Comparator Reference Voltage (CRV)

PARAMETER	SYM.	SPECIFICATION				TEST CONDITIONS
		MIN.	TYP.	MAX.	UNIT	
Operating voltage	V _{BOD}	2.5		5.5	V	
CRV step size	V _{STEP}		V _{DD} /24		V	V _{DD} = 5V Enable BOD27 and BOD38
CRV output voltage absolute accuracy	A _{CRV}	-5		+5	%	
Unit resistor value	R _{CRV}		2K		ohm	

8.4.5 Specification of 10-bit ADC

PARAMETER	SYM.	SPECIFICATION				TEST CONDITIONS
		MIN.	TYP.	MAX.	UNIT	
Operating voltage	AV _{DD}	2.7		5.5	V	AV _{DD} = V _{DD}
Operating current	I _{ADC}			1	mA	AV _{DD} = V _{DD} = 5V, F _{SPS} = 150K
Resolution	R _{ADC}			10	Bit	
Reference voltage	V _{REF}		A _{VDD}		V	V _{REF} connect to A _{VDD} in chip
ADC input voltage	V _{IN}	0		V _{REF}	V	
Conversion time	T _{CONV}	6.7			μS	
Sampling Rate	F _{SPS}	150K			Hz	V _{DD} = 5V, ADC clock = 6MHz Free running conversion
Integral Non-Linearity Error (INL)	INL			±1	LSB	
Differential Non-Linearity (DNL)	DNL			±1	LSB	
Gain error	E _G			±2	LSB	
Offset error	E _{OFFSET}			3	LSB	
Absolute error	E _{ABS}			4	LSB	
ADC Clock frequency	F _{ADC}	5K		6M	Hz	V _{DD} = 5V

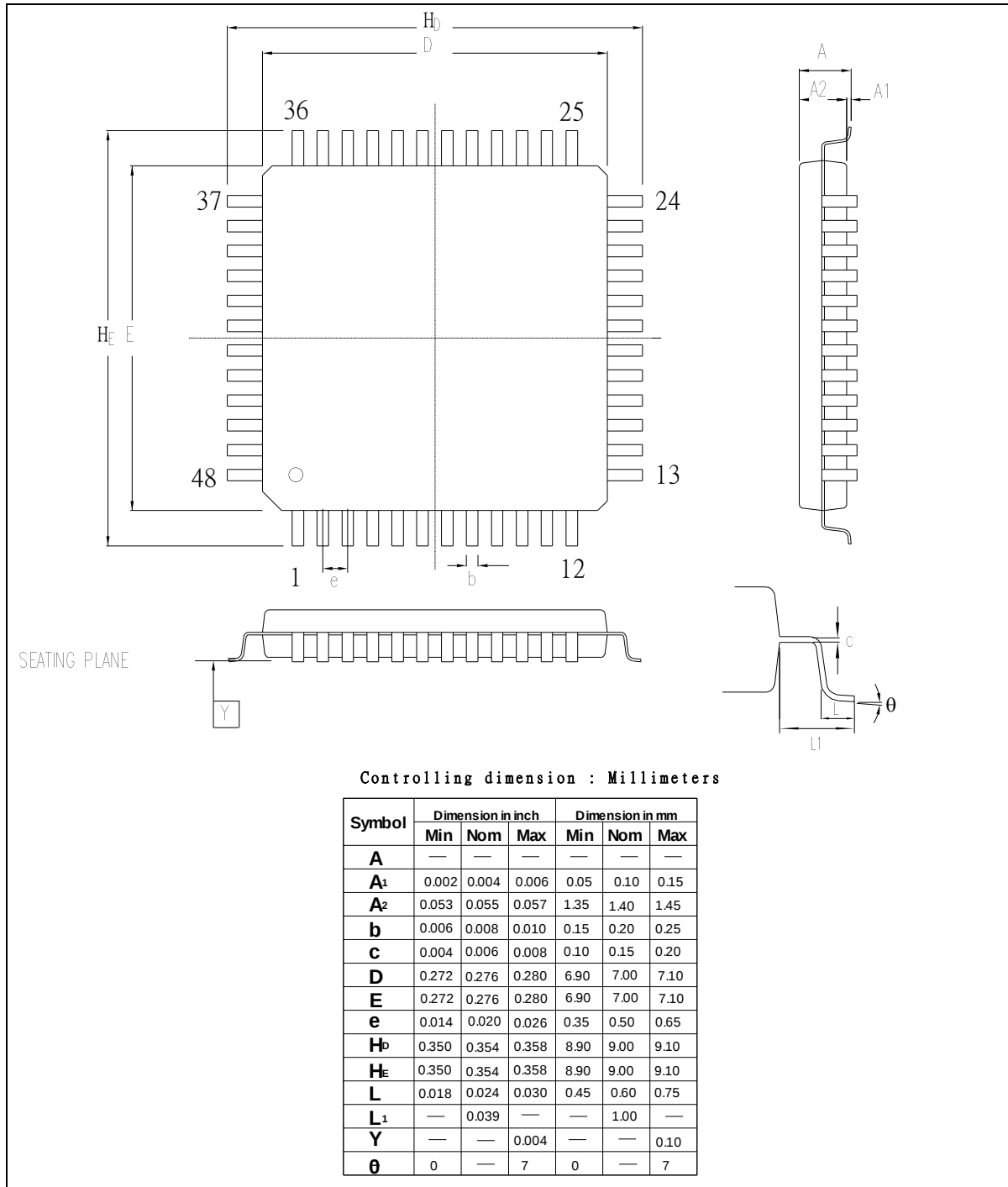
PARAMETER	SYM.	SPECIFICATION				TEST CONDITIONS
		MIN.	TYP.	MAX.	UNIT	
Clock cycle	AD _{CYC}	38			Cycle	
Bang-gap voltage	V _{BG}	1.27	1.35	1.44	V	

8.4.6 Flash Memory Characteristics

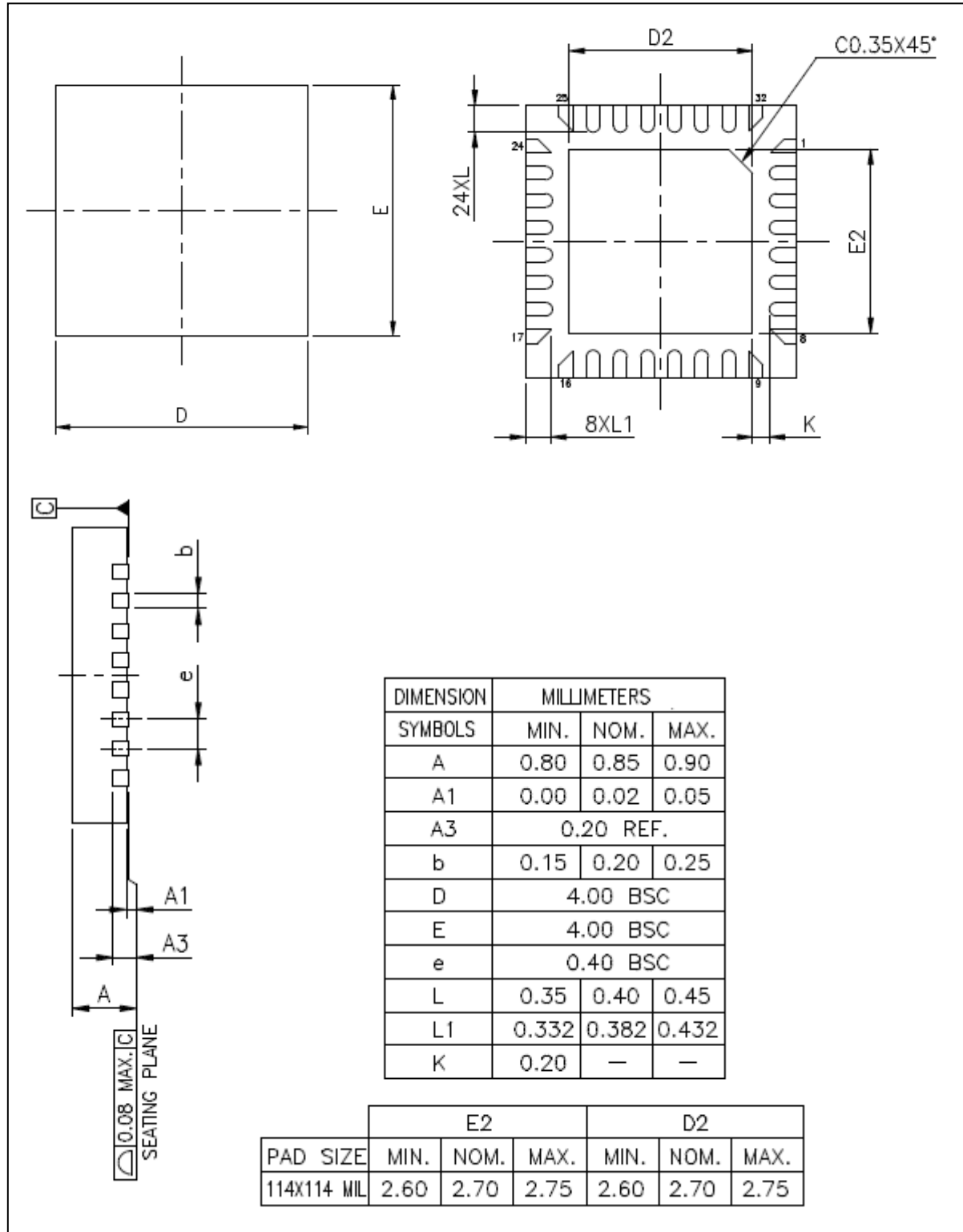
PARAMETER	SYM.	SPECIFICATION				TEST CONDITIONS
		MIN.	TYP.	MAX.	UNIT	
Cycling (erase / write) Program memory	N _{CYC}	100			K cycle	
Data retention	T _{RET}	10			years	T _A = +85°C
Erase time of ISP mode	T _{ERASE}	2.3	2.5	2.7	mS	Erase time for one page
Program time of ISP mode	T _{PROG}	57	62	67	μS	Programming time for one word
Program current	I _{PROG}		3.3		mA	V _{DD} = 5.5V

9 PACKAGE DIMENSION

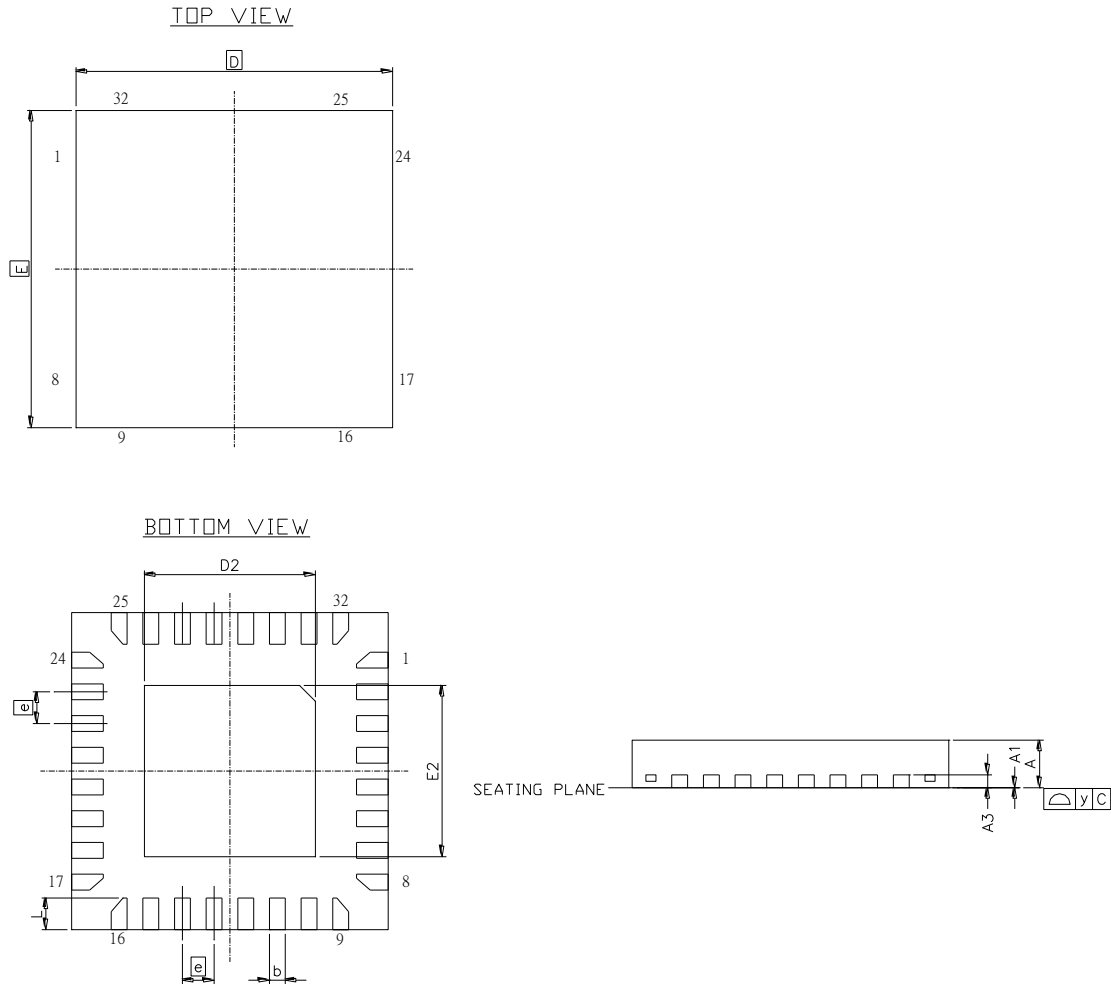
9.1 48-Pin LQFP



9.2 33-Pin QFN (4mm X 4mm)



9.3 33-Pin QFN (5mm X 5mm)



SYMBOL	DIMENSION (MM)			DIMENSION (INCH)		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.0275	0.0295	0.0315
A1	0	0.02	0.05	0	0.001	0.002
A3	0.20 REF			0.008 REF		
b	0.18	0.25	0.30	0.007	0.010	0.012
D	5.00 BSC			0.197 BSC		
E	5.00 BSC			0.197 BSC		
e	0.50 BSC			0.0197 BSC		
L	0.30	0.40	0.50	0.012	0.016	0.020
y	0.10			0.0039		

SYMBOL	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
DIMENSION (MM)	3.4	3.5	3.6	3.4	3.5	3.6

10 修订历史

日期	修订	修改
Dec 1, 2011	V1.02	Initial release of Chinese version.
Feb 1, 2012	V1.03	1. Add VDD rise rate specification. 2. Revise minimum ADC clock frequency specification. 3. Revise minimum and maximum specification of band-gap voltage. 4. Revise minimum and maximum specification of external input clock. 5. Add flash memory electrical characteristics.

Important Notice

Nuvoton Products are neither intended nor warranted for usage in systems or equipment, any malfunction or failure of which may cause loss of human life, bodily injury or severe property damage. Such applications are deemed, "Insecure Usage".

Insecure usage includes, but is not limited to: equipment for surgical implementation, atomic energy control instruments, airplane or spaceship instruments, the control or operation of dynamic, brake or safety systems designed for vehicular use, traffic signal instruments, all types of safety devices, and other applications intended to support or sustain life.

All Insecure Usage shall be made at customer's risk, and in the event that third parties lay claims to Nuvoton as a result of customer's Insecure Usage, customer shall indemnify the damages and liabilities thus incurred by Nuvoton.

*Please note that all data and specifications are subject to change without notice.
All the trademarks of products and companies mentioned in this datasheet belong to their respective owners.*

发布日期: Feb 1, 2012
版本 V1.03